

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-139103

(P2015-139103A)

(43) 公開日 平成27年7月30日(2015.7.30)

(51) Int.Cl.

H03K 23/64 (2006.01)

F I

H03K 23/64

C

H03K 23/64

E

テーマコード (参考)

審査請求 未請求 請求項の数 7 O L (全 47 頁)

(21) 出願番号 特願2014-9787 (P2014-9787)
 (22) 出願日 平成26年1月22日 (2014.1.22)

(71) 出願人 000125369
 学校法人東海大学
 東京都渋谷区富ヶ谷2丁目28番4号
 (74) 代理人 100064414
 弁理士 磯野 道造
 (74) 代理人 100111545
 弁理士 多田 悦夫
 (72) 発明者 藤本 邦昭
 熊本県熊本市東区渡鹿九丁目1番1号 東
 海大学内

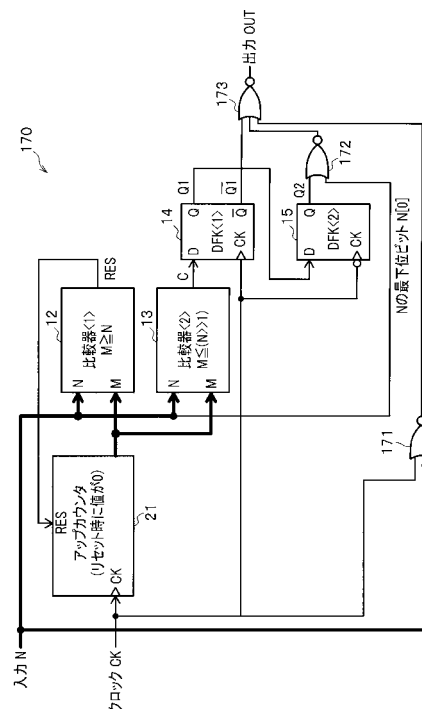
(54) 【発明の名称】 可変分周器

(57) 【要約】

【課題】回路動作中に分周比を変更することができ、分周比が奇数値であっても分周比に関係なく常にデューティ比50%の安定した出力信号が得られる簡単な回路構成の可変分周器を提供する。

【解決手段】可変分周器170は、分周比1で動作可能なデューティ比50%の可変分周器であり、アップカウンタ21の計数値Mと入力Nを入力し、計数値Mと入力Nを比較して、偶数分周動作時にデューティ比50%となり、かつ奇数分周動作時にデューティ比50%の出力に比べてクロックCKの半周期分広い又は狭い出力Cを出力する比較器13と、クロックCKの第1のエッジで比較器13の出力Cを取り込み、出力Q1として出力するDFF14と、クロックCKの第2のエッジでDFF14の出力Q1を取り込み、DFF14の出力Q1に比べてクロックCKの半周期遅れた出力Q2として出力するDFF15と、を備える。

【選択図】図46



【特許請求の範囲】

【請求項 1】

クロック C K を計数し、計数值結果 M (M は任意の自然数) を得るプログラマブルカウンタと、

前記プログラマブルカウンタの計数值 M と入力 N (N は 1 又は 2 以上の任意の自然数) を入力し、前記計数值 M と前記入力 N を比較して、偶数分周動作時にデューティ比 50 % となり、かつ奇数分周動作時にデューティ比 50 % の出力に比べてクロック C K の半周期分広い又は狭い出力 C を出力する比較器と、

前記クロック C K の第 1 のエッジで前記比較器の前記出力 C を取り込み、出力 Q 1 として出力する第 1 の D 型フリップフロップ (D F F) と、

前記クロック C K の第 2 のエッジで前記第 1 の D F F の出力 Q 1 を取り込み、前記第 1 の D F F の前記出力 Q 1 に比べて前記クロック C K の半周期遅れた出力 Q 2 として出力する第 2 の D F F と、

入力 N の最下位ビットにより偶数分周動作か奇数分周動作かを判断し、偶数分周動作時に、前記第 1 の D F F の出力 Q 1 をそのまま出力させ、奇数分周動作時に前記第 1 の D F F の出力 Q 1 と前記第 2 の D F F の出力 Q 2 の論理演算を行ってデューティ比 50 % の出力信号 O U T を出力する組合せ回路と、

を備えることを特徴とする可変分周器。

【請求項 2】

前記組合せ回路は、

前記入力 N の最下位ビットにより、奇数分周動作であるか偶数分周動作であるかを示す信号を論理演算に加える

ことを特徴とする請求項 1 に記載の可変分周器。

【請求項 3】

前記入力 N に分周動作の下限となる値より小さい値である 0 又は 1 を印加し、分周出力を禁止するストップ回路として機能させる

ことを特徴とする請求項 1 又は請求項 2 に記載の可変分周器。

【請求項 4】

前記入力 N と前記クロック C K を入力とし、分周比が 1 であることを、当該入力 N の値により判断し、この場合に、前記クロック C K を前記出力信号 O U T からそのまま出力する付加回路をさらに備える

ことを特徴とする請求項 1 乃至 3 のいずれか一項に記載の可変分周器。

【請求項 5】

前記付加回路は、前記入力 N が 1 であることを検出する一致回路、又は論理和ゲートを備える

ことを特徴とする請求項 4 に記載の可変分周器。

【請求項 6】

前記組合せ回路は、前記第 1 の D F F の出力 Q 1 及び前記出力 Q 2 の出力側に接続され、論理演算により出力信号 O U T を出力するゲート回路である

ことを特徴とする請求項 1 乃至 5 のいずれか一項に記載の可変分周器。

【請求項 7】

前記組合せ回路の出力信号 O U T を 2 重否定してド・モルガン則を適用する

ことを特徴とする請求項 1 乃至 6 のいずれか一項に記載の可変分周器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、デューティ比 50 % の可変分周器に関する。

【背景技術】

【0002】

近年、高周波のクロックを任意の分周比で分周する可変分周器のニーズが高まっている

10

20

30

40

50

。分周の目的は、基板上や同一集積回路内の各動作クロックの異なるデバイスへの動作クロック供給である。しかし、多くの可変分周器では、奇数分周の場合にデューティ比が50%にならない(特許文献1及び特許文献2参照)。

また、常にデューティ比50%の安定した分周出力を得ようとする回路が複雑になる(特許文献3及び特許文献4参照)。また、回路構成が簡単な可変分周器では、ハザードのため動作が不安定である(特許文献5参照)。特許文献5に記載の可変分周回路は、この可変分周回路をFPGA(Field Programmable Gate Array)上に実装しようとする、ハザードのために動作しない。

特許文献6には、デューティ比50%の分周出力を得る分周器が記載されている。

【0003】

図51は、特許文献6に記載の分周器の回路構成図である。

図51に示すように、デューティ比50%可変分周器1020は、入力nから分周のための各設定値を生成するビットシフタ1024と、基準周波数発振器1022と、比較器1026, 1028と、カウンタ1030と、JK-FF1032と、ANDゲート1034と、インバータ1038と、DFF1036と、ORゲート1040と、を備える。ビットシフタ1024は、分周比Nを設定する設定部Div1と、カウンタ値を1ビット右にシフトする設定部Div2と、最下位ビットを出力する設定部Cp2と、を有する。

比較器1026は、カウンタ1030のカウント値がビットシフタ1024の出力Div1の値(分周比Nと同じ)と一致した時、JK-FF1032のJ端子に1を出力するとともに、カウンタ1030をリセットする。比較器1028は、カウンタ1030のカウント値がビットシフタ1024の出力Div2の値と出力とが一致した時、JK-FF1032のK端子に1を出力する。JK-FF1032は、比較器1026と比較器1028からのJK入力条件で値が設定され、偶数分周時にデューティ比50%、奇数分周時にデューティ比50%の波形に比べて半周期だけパルス幅の狭い波形を出力している。そこで、奇数分周時には、D-FF1036により半周期遅れた信号を発生させ、JK-FFの出力と論理和を取ることによってデューティ比50%の出力を得ている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2004-328301号公報

【特許文献2】特開平8-84069号公報

【特許文献3】特開2010-114888号公報

【特許文献4】特開2008-301488号公報

【特許文献5】特開平6-224748号公報

【特許文献6】米国特許6998882号明細書

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、特許文献6に記載のデューティ比50%分周器では、下記の問題点があった。

(1) JK-FFのJK入力条件が比較器の出力(一致結果)で決定されるので、比較動作が完了するまで分周比を変更することができない。すなわち、回路動作中に分周比を変更することができない。

(2) JK-FFを使用しているため、回路構成が複雑であり、かつ汎用性に欠ける。現在では、高速デジタル回路において、JK-FFは、殆どあるいは全く使用されない。特に、ハードウェア記述言語でデジタル回路を設計する場合、DFFのみで回路を設計することが一般的である。

【0006】

本発明は、このような事情に鑑みてなされたものであり、回路動作中に分周比を変更することができ、分周比が奇数値であっても分周比に関係なく常にデューティ比50%の安

10

20

30

40

50

定した出力信号が得られる簡単な回路構成の可変分周器を提供することを課題とする。

【課題を解決するための手段】

【0007】

上記課題を解決するために、本発明は、クロックCKを計数し、計数値結果M（Mは任意の自然数）を得るプログラマブルカウンタと、前記プログラマブルカウンタの計数値Mと入力N（Nは1又は2以上の任意の自然数）を入力し、前記計数値Mと前記入力Nを比較して、偶数分周動作時にデューティ比50%となり、かつ奇数分周動作時にデューティ比50%の出力に比べてクロックCKの半周期分広い又は狭い出力Cを出力する比較器と、前記クロックCKの第1のエッジで前記比較器の前記出力Cを取り込み、出力Q1として出力する第1のD型フリップフロップ（DFF）と、前記クロックCKの第2のエッジで前記第1のDFFの出力Q1を取り込み、前記第1のDFFの前記出力Q1に比べて前記クロックCKの半周期遅れた出力Q2として出力する第2のDFFと、入力Nの最下位ビットにより偶数分周動作か奇数分周動作かを判断し、偶数分周動作時に、前記第1のDFFの出力Q1をそのまま出力させ、奇数分周動作時に前記第1のDFFの出力Q1と前記第2のDFFの出力Q2の論理演算を行ってデューティ比50%の出力信号OUTを出力する組合せ回路と、を備えることを特徴とする。

10

【発明の効果】

【0008】

本発明によれば、奇数分周時にデューティ50%よりクロックCKの半周期広い又は狭い波形を比較器で出力させ、デューティ50%より広ければ狭め狭ければ広めることで、回路動作中に分周比を変更することができ、分周比が奇数値であっても分周比に関係なく常にデューティ比50%の安定した出力信号を得ることができる。

20

【図面の簡単な説明】

【0009】

【図1】本発明の第1の実施形態に係る可変分周器の構成を示す回路図である。

【図2】第1の実施形態に係る可変分周器のアップカウンタが比較器の出力（リセット信号）RESのハザードの影響を受けないことを説明する波形図である。

【図3】第1の実施形態に係る可変分周器の第1のDFFの出力Q1が比較器の出力Cのハザードの影響を受けないことを説明する波形図である。

【図4】第1の実施形態に係る可変分周器において、4分周時（入力Nが4の時）の動作シミュレーション結果を示す波形図である。

30

【図5】第1の実施形態に係る可変分周器において、5分周時（入力Nが5の時）の動作シミュレーション結果を示す波形図である。

【図6】本発明の第2の実施形態に係る可変分周器の構成を示す回路図である。

【図7】第2の実施形態に係る可変分周器において、4分周時（入力Nが3の時）の動作シミュレーション結果を示す波形図である。

【図8】第2の実施形態に係る可変分周器において、5分周時（入力Nが4の時）の動作シミュレーション結果を示す波形図である。

【図9】本発明の第3の実施形態に係る可変分周器の構成を示す回路図である。

【図10】第3の実施形態に係る可変分周器の第1のDFFの出力Q1が比較器の出力Cのハザードの影響を受けないことを説明する波形図である。

40

【図11】第3の実施形態に係る可変分周器において、4分周時（入力Nが4の時）の動作シミュレーション結果を示す波形図である。

【図12】第3の実施形態に係る可変分周器において、5分周時（入力Nが5の時）の動作シミュレーション結果を示す波形図である。

【図13】本発明の第4の実施形態に係る可変分周器の構成を示す回路図である。

【図14】第4の実施形態に係る可変分周器において、4分周時（入力Nが4の時）の動作シミュレーション結果を示す波形図である。

【図15】第4の実施形態に係る可変分周器において、5分周時（入力Nが5の時）の動作シミュレーション結果を示す波形図である。

50

- 【図16】本発明の第5の実施形態に係る可変分周器の構成を示す回路図である。
- 【図17】第5の実施形態に係る可変分周器において、4分周時（入力Nが3の時）の動作シミュレーション結果を示す波形図である。
- 【図18】第5の実施形態に係る可変分周器において、5分周時（入力Nが4の時）の動作シミュレーション結果を示す波形図である。
- 【図19】本発明の第6の実施形態に係る可変分周器の構成を示す回路図である。
- 【図20】第6の実施形態に係る可変分周器において、4分周時（入力Nが3の時）の動作シミュレーション結果を示す波形図である。
- 【図21】第6の実施形態に係る可変分周器において、5分周時（入力Nが4の時）の動作シミュレーション結果を示す波形図である。 10
- 【図22】本発明の第7の実施形態に係る可変分周器の構成を示す回路図である。
- 【図23】第7の実施形態に係る可変分周器において、4分周時（入力Nが4の時）の動作シミュレーション結果を示す波形図である。
- 【図24】第7の実施形態に係る可変分周器において、5分周時（入力Nが5の時）の動作シミュレーション結果を示す波形図である。
- 【図25】第7の実施形態に係る可変分周器の比較例1の構成を示す回路図である。
- 【図26】第7の実施形態に係る可変分周器の比較例1において、4分周時（入力Nが4の時）の動作シミュレーション結果を示す波形図である。
- 【図27】第7の実施形態に係る可変分周器の比較例1において、5分周時（入力Nが5の時）の動作シミュレーション結果を示す波形図である。 20
- 【図28】第7の実施形態に係る可変分周器の比較例2の構成を示す回路図である。
- 【図29】第7の実施形態に係る可変分周器の比較例2において、4分周時（入力Nが4の時）の動作シミュレーション結果を示す波形図である。
- 【図30】第7の実施形態に係る可変分周器の比較例2において、5分周時（入力Nが5の時）の動作シミュレーション結果を示す波形図である。
- 【図31】図9のN進アップカウンタの内部回路を示す図である。
- 【図32】図13のN進ダウンカウンタの内部回路を示す図である。
- 【図33】図16のN+1進アップカウンタの内部回路を示す図である。
- 【図34】図19のN+1進ダウンカウンタの内部回路を示す図である。
- 【図35】本発明の第8の実施形態に係る可変分周器の構成を示す回路図である。 30
- 【図36】本発明の第9の実施形態に係る可変分周器の構成を示す回路図である。
- 【図37】本発明の第10の実施形態に係る可変分周器の構成を示す回路図である。
- 【図38】本発明の第11の実施形態に係る可変分周器の構成を示す回路図である。
- 【図39】本発明の第12の実施形態に係る分周比1で動作可能な可変分周器の構成を示す回路図である。
- 【図40】第12の実施形態に係る可変分周器において、1分周時（入力Nが1の時）の動作シミュレーション結果を示す波形図である。
- 【図41】本発明の第13の実施形態に係る分周比1で動作可能な可変分周器の構成を示す回路図である。
- 【図42】第13の実施形態に係る可変分周器において、1分周時（入力Nが0の時）の動作シミュレーション結果を示す波形図である。 40
- 【図43】図1の可変分周器の出力部分を2重否定シド・モルガン則を適用した可変分周器の構成を示す回路図である。
- 【図44】図6の可変分周器の出力部分を2重否定シド・モルガン則を適用した可変分周器の構成を示す回路図である。
- 【図45】図39の分周比1で動作可能な可変分周器の出力部分を2重否定シド・モルガン則を適用した可変分周器の構成を示す回路図である。
- 【図46】。図41の分周比1で動作可能な可変分周器の出力部分を2重否定シド・モルガン則を適用した可変分周器の構成を示す回路図である。
- 【図47】図1の可変分周器において、3分周の途中で2分周に変化させた場合（入力N 50

を 3 から 2 に変化させた場合)の動作シミュレーション結果を示す波形図である。

【図 4 8】図 1 の可変分周器において、3 分周の途中で 4 分周に変化させた場合(入力 N を 3 から 4 に変化させた場合)の動作シミュレーション結果を示す波形図である。

【図 4 9】図 1 の可変分周器において、入力 N に 0 を加えた場合の動作シミュレーション結果を示す波形図である。

【図 5 0】図 1 の可変分周器において、入力 N に 1 を加えた場合の動作シミュレーション結果を示す波形図である。

【図 5 1】特許文献 6 に記載の分周器の回路構成図である。

【発明を実施するための形態】

【0010】

以下、本発明の実施形態について図面を参照して詳細に説明する。

(第 1 の実施形態)

図 1 は、本発明の第 1 の実施形態に係るデューティ比 50% の可変分周器の構成を示す回路図である。図 1 の太実線は多ビット配線、細実線は 1 ビット配線を表す。

【0011】

図 1 に示す可変分周器 10 は、外部から入力 N (N は 2 以上の自然数) とクロック C K を印可するとクロック C K を N 分周したデューティ比 50% のパルスを入力する可変分周器である。

図 1 に示すように、可変分周器 10 は、アップカウンタ 11 (リセット時に値が 1 になるカウンタ)、比較器 12 (比較器<1>) (リセット用比較器)、比較器 13 (比較器<2>) (請求項 1 記載の比較器)、D F F 14 (D F F<1>) (第 1 の D F F)、D F F 15 (D F F<2>) (第 2 の D F F)、A N D ゲート 16 (組合せ回路、ゲート回路)、及び O R ゲート 17 (組合せ回路、ゲート回路) を備える。

アップカウンタ 11 は、リセット時に、最下位ビットを 1 に設定する同期リセット型のアップカウンタである。

【0012】

比較器 12 (比較器<1>) は、アップカウンタ 11 の出力 M と入力 N を比較し、M = N のとき 1 を、それ以外は 0 を出力する。比較器 12 の出力 R E S は、アップカウンタ 11 のリセット端子に入力されており、R E S が 1 の時 (M = N のとき) にアップカウンタ 11 をリセットする。アップカウンタ 11 と比較器 12 は、N 進アップカウンタを構成している。アップカウンタ 11 と比較器 12 を N 進アップカウンタで構成した構成例については、図 9 により後記する。

【0013】

比較器 13 (比較器<2>) は、アップカウンタ 11 の出力 M (計数值 M) と入力 N (N は 2 以上の任意の自然数) を入力し、M < N のとき 1、そうでないとき 0 を出力する。なお、図 1 中、N >> 1 は、N を右に 1 ビットシフトすることを表しており、N の最下位ビットを取り除き、最上位ビットに 0 を付加することにより得ることができる。

【0014】

D F F 14 (D F F<1>) は、クロック C K の立ち上がり (第 1 のエッジ) で比較器 13 の出力 C を取り込み、出力 Q 1 として D F F 15 及び O R ゲート 17 に出力する。

【0015】

D F F 15 (D F F<2>) は、クロック C K の立ち下がり (第 2 のエッジ) で D F F 14 の出力 Q 1 を取り込み、出力 Q 2 として A N D ゲート 16 に出力する。

【0016】

比較器 13 の出力 C は、クロック C K の立ち上がりで動作する D F F 14 の入力になっており、D F F 14 の出力 Q 1 は、クロック C K の立ち下がり動作する D F F 15 の入力になっている。これにより、D F F 15 の出力 Q 2 は、D F F 14 の出力 Q 1 に比べて半周期遅れた信号となる。

【0017】

10

20

30

40

50

ANDゲート16は、DFF15の出力Q2と入力Nの最下位ビットの論理積演算（なお、簡便のため、適宜「ANDを取る」と表現する場合があります）を行う。ANDゲート16は、分周比が奇数のときにANDゲートからQ2の値を出力し、偶数のときは0を出力する。

【0018】

ORゲート17は、DFF14の出力Q1とANDゲート16の出力の論理和演算を行う。ORゲート17は、分周比が偶数のとき、ANDゲート16の出力が0なので、Q1の値を、分周比が奇数のとき、ANDゲート16からQ2の値が出力されるので、Q1とQ2の論理和演算（なお、簡便のため、適宜「ORを取る」と表現する場合があります）を取った値を出力する。

10

【0019】

分周比が奇数の場合、比較器13の出力C及びこれをクロックCKの立ち上がりで取り込んだDFF14の出力Q1は、デューティ比50%の出力と比べてクロックCKの半周期分狭い。そこで、DFF14の出力Q1と、この信号を半周期遅延させたDFF15の出力Q2の論理和演算を取ること、1を出力している部分をクロックCKの半周期分増加させ、分周比が奇数の場合にも出力OUTのデューティ比を50%にしている。

【0020】

以下、上述のように構成されたデューティ比50%の可変分周器10の動作について説明する。

まず、基本的な考え方について説明する。

20

一般的に分周回路は、クロックの片側エッジに同期して動作させる。つまり、出力が変化するのは、クロックの立ち上がりの時のみ、又は立ち下がりの時のみである。そのため奇数分周動作の場合には、分周器の出力はデューティ比50%にならず、デューティ比50%の出力と比べてクロック半周期分の差が生じることになる。

【0021】

本発明者は、奇数分周動作の場合に、クロックCKの半周期遅れた信号であるDFF15の出力とOR演算させてパルス幅をクロック半周期分増加させ、奇数分周動作の場合においてもデューティ比50%の出力信号を得るという着想を基に、本可変分周器10を完成させた。

【0022】

30

本実施形態の可変分周器10は、奇数分周動作の場合、DFF14の出力Q1がデューティ比50%の出力と比べてクロックCKの半周期分狭くなる。例えば、3分周の場合には、1を出力している部分がクロックCKの1周期分、0を出力している部分がクロックCKの2周期になる。そこで、可変分周器10は、奇数分周動作の場合に、Q1より半周期遅れた信号であるDFF15の出力Q2とORを取ることにより、1を出力している部分をクロックCKの半周期分増加させ、クロック1.5周期分にして出力OUTから出力している。

上記動作の特徴点を一般化して述べると、下記の通りである。

【0023】

40

本発明は、偶数分周時にデューティ50%であり、奇数分周時にデューティ50%の場合よりクロックCKの半周期広い又は狭い波形を比較器で出力させ、デューティ比50%となるように広ければ狭め狭ければ広めるものである。

上記奇数分周時に広ければ狭め狭ければ広める方法として、N進カウンタ又はN+1進カウンタを用いる場合、ゲート回路の組合せは下記(1)(2)がある。なお、N進カウンタ及びN+1進カウンタは、アップカウンタとダウンカウンタのどちらを使用することもできる。さらに、比較器13の不等号の向きを変更することでゲート回路の組合せとして下記(3)(4)を得る。さらに、ゲート回路の組合せは一例であり、例えば実装容易性の観点からド・モルガン則を適用してNANDゲート、NORゲートを使用するものでもよい（後記する第14の実施形態参照）。

【0024】

50

(1) N進カウンタを用いた場合で奇数分周動作時にORを取ってパルス幅を広げる方式
 (2) N + 1進カウンタを用いた場合で奇数分周動作時にANDを取ってパルス幅を狭める方式

(3) N進カウンタを用いた場合で奇数分周動作時にANDを取ってパルス幅を狭める方式

(4) N + 1進カウンタを用いた場合で奇数分周動作時にORを取ってパルス幅を広げる方式

【0025】

次に、可変分周器10の動作について説明する。

本実施形態の可変分周器10は、上記(1)N進カウンタを用いた場合で奇数分周動作時にORを取ってパルス幅を広げる方式の適用例である

10

可変分周器10は、奇数分周の場合に、比較器13の出力C及びDFF14の出力Q1は、デューティ比50%の出力と比べてクロックCKの半周期分短い信号になる。そこで、奇数分周の場合には、半周期遅れた信号Q2とORを取り半周期分広げて、デューティ比50%にする。

【0026】

図1に示すように、可変分周器10には、外部より入力NとクロックCKが印加される。第1の実施形態では、クロックCKをN分周したデューティ比50%のパルスを出力OUTから出力する。アップカウンタ11は、リセット時に、最下位ビットを1に設定する。比較器12は、アップカウンタ11の出力Mと入力Nを比較し、M < Nのとき1を、それ以外は0を出力する。比較器12の出力RESは、アップカウンタ11のリセット端子に入力されており、RESが1の時(M < Nのとき)にアップカウンタ11をリセットする。

20

【0027】

比較器13は、アップカウンタ11の出力Mと入力Nが入力されており、M < (Nを右に1ビットシフト)のとき1、そうでないとき0を出力する。比較器13の出力Cは、クロックCKの立ち上がりで動作するDFF14の入力になっており、DFF14の出力Q1は、クロックCKの立ち下がり動作するDFF15の入力になっている。これにより、DFF15の出力Q2は、DFF14の出力Q1に比べて半周期遅れた信号となる。

【0028】

ANDゲート16では、DFF15の出力Q2と入力Nの最下位ビットの論理積演算を行っている。これにより、ANDゲート16は、分周比が奇数のときにQ2の値を出力し、偶数のときは0を出力する。

30

【0029】

ORゲート17は、DFF14の出力Q1とANDゲート16の出力の論理和演算を行っている。ORゲート17は、分周比が偶数のとき、ANDゲート16の出力が0なので、Q1の値を、分周比が奇数のとき、ANDゲート16からQ2の値が出力されるので、Q1とQ2の論理和演算を取った値を出力する。

【0030】

分周比が奇数の場合、比較器13の出力C及びこれをクロックCKの立ち上がりで取り込んだDFF14の出力Q1のパルス幅は、デューティ比50%の出力と比べてクロックCKの半周期分狭い。そこで、DFF14の出力Q1と、この信号を半周期遅延させたDFF15の出力Q2の論理和演算をとることで、1を出力している部分をクロックCKの半周期分増加させ、分周比が奇数の場合にも出力OUTのデューティ比を50%にしている。

40

【0031】

<回路の安定性>

次に、可変分周器10が、安定した分周動作を行うことができることについて説明する。特許文献5の可変分周器では、組合せ回路において発生したハザードのため、分周動作が不安定になるか又はハザードのため動作しない欠点があった。

50

これに対して、本実施形態の可変分周器 10 は、ハザードの影響を受けない。比較器 12 と比較器 13 は、組合せ回路であるため、その出力 RES 及び C にはハザードを含む可能性がある。しかし、アップカウンタ 11 は、同期リセット型であるため、比較器 12 のハザード影響を受けることがない。また、比較器 13 の出力 C は、クロック CK の立ち上がりに同期して値を取り込む DFF 14 の入力になっているため、ハザードの影響を受けることがない。以下、詳細に説明する。

【0032】

図 2 は、アップカウンタが、比較器 12 の出力（リセット信号）RES のハザードの影響を受けないことを説明する波形図である。

図 2 に示すように、クロック CK が立ち上がると、アップカウンタ 11 のカウント値 M は一定の遅延時間の後に変化する。この際、比較器 12 の出力（リセット信号）RES にハザードが発生することがある（図 2 の符号 a 参照）。さらに一定遅延時間後、アップカウンタ 11 のカウント値 M は安定し、ハザードは消失する。つまり、クロック CK が立ち上がって一定時間経過後に比較器 12 の出力 RES にハザードが発生する可能性がある。しかし、クロック CK の立ち上がった瞬間に RES にハザードが発生することはない。可変分周器 10 では、同期リセット型のアップカウンタ 11 を使うことで、RES のハザードの影響を排除している。

【0033】

図 3 は、DFF 14 の出力 Q1 が、比較器 13 の出力 C のハザードの影響を受けないことを説明する波形図である。

図 3 に示すように、クロック CK が立ち上がると、アップカウンタ 11 のカウント値 M は一定の遅延時間の後に変化する。この際、比較器 13 の出力 C にハザードが発生することがあるが、さらに一定遅延時間後、アップカウンタ 11 のカウント値 M は安定し、ハザードは消失する。つまり、クロック CK が立ち上がって一定時間経過後に比較器 13 の出力 C にハザードが発生する可能性はあるものの、DFF 14 はクロック CK の立ち上がった瞬間の比較器 13 の出力 C を取り込んでいる（図 2 の符号 b 参照）。このため、DFF 14 が、ハザードの影響を受けることはない。

【0034】

可変分周器 10 は、アップカウンタ 11、比較器 12、及び比較器 13 のビット幅が m の時、 $2 \sim (2^m - 1)$ までの分周動作が可能である。例えば、アップカウンタ 11、比較器 12、及び比較器 13 のビット幅が 3 ビットの場合、 $2 \sim 7$ 分周までの安定した分周動作を得ることができる。

【0035】

図 4 及び図 5 は、可変分周器 10 において、3 ビット構成時の動作シミュレーション結果を示す波形図である。図 4 は、4 分周時の動作シミュレーション結果、図 5 は、5 分周時の動作シミュレーション結果、をそれぞれ示している。なお、2 分周時の動作シミュレーション結果、3 分周時の動作シミュレーション結果、6 分周時の動作シミュレーション結果、7 分周時の動作シミュレーション結果については、図示を省略しているが、3 ビット構成で可能な全シミュレーション結果は得られている。

図 4 及び図 5 に示すように、可変分周器 10 は、分周比が偶数の場合（図 4 参照）にも奇数の場合（図 5 参照）にもデューティ比 50% の出力が得られていることが分かる。

【0036】

このように、本実施形態の可変分周器 10 は、分周比が奇数の時、DFF 14 の出力 Q1 のパルス幅が、デューティ比 50% の出力と比べてクロック CK の半周期分短いので DFF 15 でクロック半周期遅らせて、OR ゲート 17 により OR を取りパルス幅をクロック半周期分広くすることで、簡単な回路構成により、分周比に関係なく常にデューティ比 50% の安定した出力信号（分周出力）を得ることができる。特に、簡単な構成でありながら、奇数分周の場合にも常にデューティ比 50% の安定した動作を得ることができる。

【0037】

また、本実施形態の可変分周器 10 は、アップカウンタ 11、比較器 12、及び比較器

10

20

30

40

50

13のビット幅がmの時、 $2 \sim (2^m - 1)$ までの分周動作が可能である。

【0038】

特に、本実施形態の可変分周器10は、外部信号により分周比を設定することができ、回路動作中に分周比を変更することができる。回路動作中に分周比を変更した場合であっても、常にデューティ比50%の安定した出力信号を得ることができる。

また、本実施形態の可変分周器10は、ハードウェア記述言語を用いて簡単に記述でき、ASIC (Application Specific Integrated Circuit) やFPGA (Field Programmable Gate Array) の機能部品として容易に実装可能である。

【0039】

(第2の実施形態)

第1の実施形態の可変分周器10は、N進カウンタを用いた場合で、奇数分周動作時、ORを取ってパルス幅をクロック半周期分広くする方式である。

第2の実施形態は、N+1進カウンタを用いた場合で奇数分周動作時にANDを取ってパルス幅を狭める方式の適用例である。

【0040】

図6は、本発明の第2の実施形態に係るデューティ比50%の可変分周器の構成を示す回路図である。図6の太実線は多ビット配線、細実線は1ビット配線を表す。図1と同一構成部分には同一符号を付している。

図6に示す可変分周器20は、外部より入力N (Nは1以上の自然数) とクロックCKを印加すると、出力OUTからクロックCKをN+1分周したデューティ比50%のパルス

【0041】

図6に示すように、可変分周器20は、アップカウンタ21 (リセット時に値が0)、比較器12 (比較器<1>)、比較器13 (比較器<2>)、DF F 14 (DF F <1>)、DF F 15 (DF F <2>)、ORゲート26 (組合せ回路, ゲート回路)、及びANDゲート27 (組合せ回路, ゲート回路) を備える。

【0042】

アップカウンタ21は、リセット時に値が0になる一般的なアップカウンタである。本実施形態の可変分周器20は、一般的なアップカウンタ21を用いているのに対し、図1の可変分周器10のアップカウンタ11は、リセット時に値が1の特殊なアップカウンタを用いている。

【0043】

比較器12 (比較器<1>) は、アップカウンタ21の出力Mと入力Nを比較し、M < Nのとき1を、それ以外は0を出力する。比較器12の出力RESは、アップカウンタ21のリセット端子に入力されており、RESが1の時 (M < Nのとき) にアップカウンタ21をリセットする。アップカウンタ21と比較器12は、N+1進アップカウンタを構成している。アップカウンタ21と比較器12をN+1進アップカウンタで構成した構成例については、図16により後記する。

【0044】

比較器13 (比較器<2>) は、アップカウンタ21の出力Mと入力Nを入力し、M (Nを右に1ビットシフト) のとき1、そうでないとき0を出力する。なお、図6中、N>>1は、Nを右に1ビットシフトすることを表しており、Nの最下位ビットを取り除き、最上位ビットに0を付加することにより得ることができる。

【0045】

DF F 14 (DF F <1>) は、クロックCKの立ち上がり (第1のエッジ) で比較器13の出力Cを取り込み、出力Q1としてDF F 15及びANDゲート27に出力する

【0046】

DF F 15 (DF F <2>) は、クロックCKの立ち下がり (第2のエッジ) でDF F 14の出力Q1を取り込み、DF F 14の出力Q1に比べてクロックCKの半周期遅れた出力Q2としてORゲート26に出力する。

10

20

30

40

50

【 0 0 4 7 】

比較器 1 3 の出力 C は、クロック C K の立ち上がりで動作する D F F 1 4 の入力になっており、D F F 1 4 の出力 Q 1 は、クロック C K の立ち下がり動作する D F F 1 5 の入力になっている。これにより、D F F 1 5 の出力 Q 2 は、D F F 1 4 の出力 Q 1 に比べて半周期遅れた信号となる。

O R ゲート 2 6 は、D F F 1 5 の出力 Q 2 と入力 N の最下位ビットの論理和演算を行う。

A N D ゲート 2 7 は、D F F 1 4 の出力 Q 1 と O R ゲート 2 6 の出力の論理積演算を行う。

【 0 0 4 8 】

以下、上述のように構成されたデューティ比 5 0 % の可変分周器 2 0 の動作について説明する。

本実施形態の可変分周器 2 0 は、N + 1 進カウンタを用いた場合で奇数分周動作時に A N D を取ってパルス幅を狭める方式の適用例である。

【 0 0 4 9 】

可変分周器 2 0 は、奇数分周動作の場合は、D F F 1 4 の出力 Q 1 が、デューティ比 5 0 % の出力と比べてクロック C K の半周期分広くなる。例えば、3 分周の場合には、1 を出力している部分がクロックの 2 周期分、0 を出力している部分がクロックの 1 周期になる。そこで、可変分周器 2 0 は、奇数分周動作の場合に、Q 1 より半周期遅れた信号である D F F 1 5 の出力 Q 2 と A N D 演算させて 1 を出力している部分をクロック半周期分減少させ、奇数分周動作の場合においてもデューティ比 5 0 % の出力信号を得る。例えば、3 分周の場合には、半周期遅れた信号と A N D をとることにより、1 を出力している部分が半周期減少して、クロック 1 . 5 周期分になり、0 を出力している部分がクロックの半周期減り 1 . 5 周期分になる。

【 0 0 5 0 】

このように、分周比 N + 1 が偶数の時、D F F 1 4 の出力 Q 1 のデューティ比が 5 0 % であるので Q 1 をそのまま出力させればよく、分周比 N + 1 が奇数の時には、デューティ比を 5 0 % にするために D F F 1 4 の出力 Q 1 に D F F 1 5 の出力 Q 2 の A N D 演算を取って出力する。

【 0 0 5 1 】

ここで、分周比 N + 1 が偶数か奇数かは N の最下位ビットが 0 か 1 かを見ればわかる。可変分周器 2 0 は、入力 N の時に分周比 N + 1 の分周回器として動作する。よって、入力 N の最下位ビットが 1 の時が偶数分周となる。このとき、O R ゲート 2 6 の出力は 1 になり、A N D ゲート 2 7 の出力は、Q 1 になる。入力 N の最下位ビットが 0 の時が奇数分周である。このとき、O R ゲート 2 6 の出力は Q 2 となり、A N D ゲート 2 7 では Q 2 と Q 1 が A N D されたものが出力される。

【 0 0 5 2 】

以上説明したように、本実施形態の可変分周器 2 0 は、奇数分周の場合に、比較器 1 3 の出力 C 及び D F F 1 の出力 Q 1 は、デューティ 5 0 % の場合よりクロック C K の半周期広い信号になる。そこで、奇数分周の場合には、半周期遅れた信号 Q 2 と A N D を取り半周期狭めて、デューティ比 5 0 % にしている。

【 0 0 5 3 】

本実施形態の可変分周器 2 0 は、アップカウンタ 2 1、比較器 1 2、及び比較器 1 3 のビット幅が m の時、2 ~ (2^m) までの分周動作が可能である。例えば、アップカウンタ 2 1、比較器 1 2、及び比較器 1 3 のビット幅が 3 ビットの場合、2 ~ 8 分周までの安定した分周動作を得ることができる。

【 0 0 5 4 】

ここで、図 1 の可変分周器 1 0 は、m ビット構成の場合、分周比の上限が 2^m - 1 であるのに対し、本実施形態の可変分周器 2 0 は、リセット時に値が 0 の普通のアップカウンタ 2 1 を用いているので、分周比の上限が 2^m である。すなわち、可変分周器 2 0 は、同

10

20

30

40

50

じビット構成の場合、可変分周器 10 に比べて、分周比の上限が 1 だけ大きい。但し、可変分周器 20 は、入力 N の場合に、 $N + 1$ 分周を行うため、設定したい分周比 - 1 を N に印加する必要がある。

【0055】

図 7 及び図 8 は、可変分周器 20 において、3 ビット構成時の動作シミュレーション結果を示す波形図である。図 7 は、4 分周時の動作シミュレーション結果、図 8 は、5 分周時の動作シミュレーション結果、をそれぞれ示している。なお、2 分周時の動作シミュレーション結果、3 分周時の動作シミュレーション結果、6 分周時の動作シミュレーション結果、7 分周時の動作シミュレーション結果、8 分周時の動作シミュレーション結果については、図示を省略しているが、3 ビット構成で可能な全シミュレーション結果は得られている。

10

図 7 及び図 8 に示すように、可変分周器 20 は、分周比が偶数の場合（図 7 参照）にも奇数の場合（図 8 参照）にもデューティ比 50% の出力が得られていることが分かる。

【0056】

このように、本実施形態の可変分周器 20 は、分周比が奇数の時、DFF 14 の出力 Q1 のパルス幅が、デューティ比 50% の場合と比べてクロック CK の半周期分広いので DFF 15 でクロック CK の半周期遅らせて、AND ゲート 27 により AND を取りパルス幅をクロック半周期分狭くすることで、簡単な回路構成により、分周比に関係なく常にデューティ比 50% の安定した出力信号（分周出力）を得ることができる。特に、簡単な構成でありながら、奇数分周の場合にも常にデューティ比 50% の安定した動作を得ることができる。

20

【0057】

（第 3 の実施形態）

図 9 は、本発明の第 3 の実施形態に係るデューティ比 50% の可変分周器の構成を示す回路図である。図 9 の太実線は多ビット配線、細実線は 1 ビット配線を表す。図 1 と同一構成部分には同一符号を付して重複箇所の説明を省略する。

図 9 に示す可変分周器 30 は、外部より入力 N（N は 2 以上の自然数）とクロック CK を印加すると、出力 OUT からクロック CK を N 分周したデューティ比 50% のパルスを出力する回路である。

【0058】

30

可変分周器 30 は、N 進アップカウンタ 31（プログラマブルカウンタ）、比較器 13、DFF 14（ $DFF <1>$ ）、DFF 15（ $DFF <2>$ ）、AND ゲート 16、及び OR ゲート 17 を備える。

可変分周器 30 は、図 1 の可変分周器 10 のアップカウンタ 11 と比較器 12（比較器 $<1>$ ）を N 進アップカウンタ 31 で置き換えたものである。

N 進アップカウンタ 31 は、1 から N までのアップカウントを繰り返すアップカウンタである。

【0059】

以下、上述のように構成されたデューティ比 50% の可変分周器 30 の動作について説明する。

40

本実施形態の可変分周器 30 は、図 1 の可変分周器 10 と同様に、N 進カウンタを用いた場合で奇数分周動作時に OR を取ってパルス幅を広げる方式の適用例である。したがって、可変分周器 30 の基本動作は、図 1 の可変分周器 10 の動作と略同様である。

【0060】

図 9 に示すように、可変分周器 30 には、外部より入力 N とクロック CK が印加される。N 進アップカウンタ 31 は、クロック CK の立ち上がりで動作する N 進アップカウンタであり、1 から N までカウントアップし、N に達すると再び 1 に戻りアップカウント動作を繰り返す。比較器 13 には、N 進アップカウンタ 31 の出力 M と入力 N が入力されており、 $M \ll N$ のとき 1、そうでないとき 0 を出力する。なお、 $N \gg 1$ は、N を右に 1 ビットシフトすることを表しており、N の最下位ビットを取り除き、最上位ビットに 0

50

を付加することにより得ることができる。

【 0 0 6 1 】

比較器 1 3 の出力 C は、分周比が偶数の場合デューティ比 5 0 % である。但し、分周比が奇数の場合、デューティ比 5 0 % の出力と比べてクロック C K の半周期分短い。また、図 1 0 で後記するように、クロック C K が立ち上がってから一定時間経過後に、ハザードが発生することがある。このハザードの影響を排除するために、比較器 1 3 の出力 C は、クロック C K の立ち上がりで動作する D F F 1 4 に入力されている。また、D F F 1 4 の出力 Q 1 は、クロック C K の立ち下がり動作する D F F 1 5 の入力になっている。このため、D F F 1 5 の出力 Q 2 は、D F F 1 4 の出力 Q 1 に比べて半周期遅れた信号となる。

10

【 0 0 6 2 】

A N D ゲート 1 6 は、D F F 1 5 の出力 Q 2 と N の最下位ビットの論理積演算を行っている。分周比が偶数の時、N の最下位ビットが 0 であるので、A N D ゲート 1 6 は 0 を出力する。分周比が奇数の時、N の最下位ビットが 1 であるので、A N D ゲート 1 6 は D F F 1 5 の出力 Q 2 の値を出力する。

【 0 0 6 3 】

O R ゲート 1 7 は、D F F 1 4 の出力 Q 1 と A N D ゲート 1 6 の出力の論理和演算を行っており、分周比が偶数の時、A N D ゲート 1 6 の出力が 0 なので、Q 1 の値を、分周比が奇数の時、A N D ゲート 1 6 から Q 2 の値が出力されるので、Q 1 と Q 2 の論理和演算を取った値を出力することとなる。分周比が偶数の場合、比較器 1 3 の出力 C をクロック C K の立ち上がりで取り込んだ D F F 1 4 の出力 Q 1 のデューティ比は 5 0 % であり、これがそのまま出力 O U T から出力される。分周比が奇数の場合、D F F 1 4 の出力 Q 1 は、デューティ比 5 0 % の出力と比べてクロック C K の半周期分短い。そこで、D F F 1 4 の出力 Q 1 と、この信号を半周期遅延させた D F F 1 5 の出力 Q 2 の論理和演算をとることで、1 を出力している部分をクロック C K の半周期分増加させてデューティ比 5 0 % とし出力 O U T から出力している。

20

【 0 0 6 4 】

<回路の安定性>

可変分周器 3 0 が、安定した分周動作を行うことができることについて説明する。また、比較器の出力 C に比べて D F F 1 の出力 Q 1 がクロック C K の 1 周器期遅れる理由について説明する。

30

【 0 0 6 5 】

図 1 0 は、D F F 1 4 の出力 Q 1 が、比較器 1 3 の出力 C のハザードの影響を受けないことを説明する波形図である。

図 1 0 に示すように、クロック C K が立ち上がると、N 進アップカウンタ 3 1 の出力 M は、一定の遅延時間の後に変化する。この際、比較器 1 3 の出力 C にハザードが発生することがあるが、さらに一定遅延時間後、N 進アップカウンタ 3 1 のカウント値 M は安定し、ハザードは消失する。つまり、クロック C K が立ち上がって一定時間経過後に比較器 1 3 の出力 C にハザードが発生する可能性がある。しかし、D F F 1 4 はクロック C K の立ち上がった瞬間の比較器の出力 C を取り込んでいるので、このハザードの影響を受けることはない。

40

【 0 0 6 6 】

次に、比較器 1 3 の出力 C に比べて、D F F 1 4 の出力 Q 1 がクロック C K の約 1 周期分遅れる理由について説明する。これは、比較器 1 3 の出力 C は、クロック C K が立ち上がってから、N 進アップカウンタ 3 1 と比較器 1 4 の遅延時間を合計した遅延時間の後に変化するが、このとき既に、D F F 1 4 はクロック C K が立ち上がった瞬間の比較器 1 4 の出力 C を読み込んでいるためである（図 1 0 の符号 c 参照）。図 1 0 では、2 個目のクロック C K の立ち上がりで、N 進アップカウンタ 3 1 の値が $m + 2$ になり、比較器 1 3 の出力 C が 1 から 0 に変化する。このとき、2 番目のクロック C K が立ち上がった瞬間の比較器 1 3 の出力 C が 0 であるので、D F F 1 4 は、これを取り込み出力する。このため、

50

D F F 1 4 の出力 Q 1 は 0 のままである。3 番目のクロック C K が立ち上がった時に比較器 1 3 の出力 C が 1 になっているので、D F F 1 4 は、これを取り込み出力する。このため、その出力 Q 1 は 1 から 0 に変化する。このように、比較器 1 3 の出力 C が変化してからクロック C K の約 1 周期分遅れて、D F F 1 4 の出力 Q 1 が 1 から 0 に変化する。また、0 から 1 に変化する場合も同様である。

【 0 0 6 7 】

図 1 1 及び図 1 2 は、可変分周器 3 0 において、3 ビット構成時の動作シミュレーション結果を示す波形図である。図 1 1 は、4 分周時の動作シミュレーション結果、図 1 2 は、5 分周時の動作シミュレーション結果、をそれぞれ示している。なお、2 分周時の動作シミュレーション結果、3 分周時の動作シミュレーション結果、6 分周時の動作シミュレーション結果、7 分周時の動作シミュレーション結果については、図示を省略しているが、3 ビット構成で可能な全シミュレーション結果は得られている。

10

図 1 1 及び図 1 2 に示すように、可変分周器 3 0 は、分周比が偶数の場合（図 1 1 参照）にも奇数の場合（図 1 2 参照）にもデューティ比 5 0 % の出力が得られていることが分かる。

【 0 0 6 8 】

（第 4 の実施形態）

図 1 3 は、本発明の第 4 の実施形態に係るデューティ比 5 0 % の可変分周器の構成を示す回路図である。図 1 3 の太実線は多ビット配線、細実線は 1 ビット配線を表す。図 1 と同一構成部分には同一符号を付して重複箇所の説明を省略する。

20

図 1 3 に示す可変分周器 4 0 は、外部より入力 N（N は 2 以上の自然数）とクロック C K を印加すると、出力 O U T からクロック C K を N 分周したデューティ比 5 0 % のパルスを出力する回路である。

【 0 0 6 9 】

可変分周器 4 0 は、N 進ダウンカウンタ 4 1（プログラマブルカウンタ）、比較器 1 3、D F F 1 4（D F F < 1 >）、D F F 1 5（D F F < 2 >）、A N D ゲート 1 6、及び O R ゲート 1 7 を備える。

可変分周器 4 0 は、図 1 の可変分周器 1 0 のアップカウンタ 1 1 と比較器 1 2（比較器 < 1 >）を N 進ダウンカウンタ 4 1 で置き換えたものである。

N 進ダウンカウンタ 4 1 は、N から 1 までのダウンカウントを繰り返すダウンカウンタである。

30

【 0 0 7 0 】

以下、上述のように構成されたデューティ比 5 0 % の可変分周器 4 0 の動作について説明する。

本実施形態の可変分周器 4 0 は、図 1 の可変分周器 1 0 と同様に、N 進カウンタを用いた場合で奇数分周動作時に O R を取ってパルス幅を広げる方式の適用例である。したがって、可変分周器 4 0 の基本動作は、図 1 の可変分周器 1 0 の動作と略同様である。

図 1 3 に示すように、可変分周器 4 0 には、外部より分周比を決定する入力 N とクロック C K が印加される。N 進ダウンカウンタ 4 1 は、クロック C K の立ち上がりで動作する N 進ダウンカウンタであり、N から 1 までダウンカウントし、1 に達すると再び N に戻りダウンカウント動作を繰り返す。比較器 1 3 には、N 進ダウンカウンタ 4 1 の出力 M と入力 N が入力されており、M（ $N \gg 1$ ）のとき 1、そうでないとき 0 を出力する。なお、 $N \gg 1$ は、N を右に 1 ビットシフトすることを表しており、N の最下位ビットを取り除き、最上位ビットに 0 を付加することにより得ることができる。

40

【 0 0 7 1 】

比較器 1 3 の出力 C は、分周比が偶数の場合デューティ比 5 0 % である。但し、分周比が奇数の場合、デューティ比 5 0 % の出力と比べてクロック C K の半周期分短い。また、図 1 0 で説明したように、クロック C K が立ち上がってから一定時間経過後に、ハザードが発生することがある。このハザードの影響を排除するために、比較器 1 3 の出力 C は、クロック C K の立ち上がりで動作する D F F 1 4 に入力されている。また、D F F 1 4 の

50

出力 Q 1 は、クロック C K の立ち下がりで作動作する D F F 1 5 の入力になっている。このため、D F F 1 5 の出力 Q 2 は、D F F 1 4 の出力 Q 1 に比べて半周期遅れた信号となる。

【 0 0 7 2 】

A N D ゲート 1 6 は、D F F 1 5 の出力 Q 2 と N の最下位ビットの論理積演算を行っている。分周比が偶数の時、N の最下位ビットが 0 であるので、A N D ゲート 1 6 は 0 を出力する。分周比が奇数の時、N の最下位ビットが 1 であるので、A N D ゲート 1 6 は D F F 1 5 の出力 Q 2 の値を出力する。

【 0 0 7 3 】

O R ゲート 1 7 は、D F F 1 4 の出力 Q 1 と A N D ゲート 1 6 の出力の論理和演算を行っており、分周比が偶数の時、A N D ゲート 1 6 の出力が 0 なので、Q 1 の値を、分周比が奇数の時、A N D ゲート 1 6 から Q 2 の値が出力されるので、Q 1 と Q 2 の論理和演算を取った値を出力することとなる。分周比が偶数の場合、比較器 1 3 の出力 C をクロック C K の立ち上がりで取り込んだ D F F 1 4 の出力 Q 1 のデューティ比は 5 0 % であり、これがそのまま出力 O U T から出力される。分周比が奇数の場合、D F F 1 4 の出力 Q 1 は、デューティ比 5 0 % の出力と比べてクロック C K の半周期分短い。そこで、D F F 1 4 の出力 Q 1 と、この信号を半周期遅延させた D F F 1 5 の出力 Q 2 の論理和演算をとることで、1 を出力している部分をクロック C K の半周期分増加させてデューティ比 5 0 % とし出力 O U T から出力している。

【 0 0 7 4 】

図 1 4 及び図 1 5 は、可変分周器 4 0 において、3 ビット構成時の動作シミュレーション結果を示す波形図である。図 1 4 は、4 分周時の動作シミュレーション結果、図 1 5 は、5 分周時の動作シミュレーション結果、をそれぞれ示している。なお、2 分周時の動作シミュレーション結果、3 分周時の動作シミュレーション結果、6 分周時の動作シミュレーション結果、7 分周時の動作シミュレーション結果については、図示を省略しているが、3 ビット構成で可能な全シミュレーション結果は得られている。

図 1 4 及び図 1 5 に示すように、可変分周器 4 0 は、分周比が偶数の場合（図 1 4 参照）にも奇数の場合（図 1 5 参照）にもデューティ比 5 0 % の出力が得られていることが分かる。

【 0 0 7 5 】

（第 5 の実施形態）

図 1 6 は、本発明の第 5 の実施形態に係るデューティ比 5 0 % の可変分周器の構成を示す回路図である。図 1 6 の太実線は多ビット配線、細実線は 1 ビット配線を表す。図 6 と同一構成部分には同一符号を付して重複箇所の説明を省略する。

図 1 6 に示す可変分周器 5 0 は、外部より入力 N（N は 1 以上の自然数）とクロック C K を印加すると、出力 O U T からクロック C K を N + 1 分周したデューティ比 5 0 % のパルスを出力する回路である。

【 0 0 7 6 】

可変分周器 5 0 は、N + 1 進アップカウンタ 5 1（プログラマブルカウンタ）、比較器 1 3、D F F 1 4（D F F < 1 >）、D F F 1 5（D F F < 2 >）、O R ゲート 2 6（組合せ回路，ゲート回路）、及び A N D ゲート 2 7（組合せ回路，ゲート回路）を備える。

可変分周器 5 0 は、図 6 の可変分周器 2 0 のアップカウンタ 2 1 と比較器 1 2（比較器 < 1 >）を N + 1 進アップカウンタ 5 1 で置き換えたものである。

N + 1 進アップカウンタ 5 1 は、クロック C K の立ち上がりで動作する N + 1 進アップカウンタであり、0 から N までカウントアップし、N に達すると再び 0 に戻りアップカウント動作を繰り返す。

【 0 0 7 7 】

以下、上述のように構成されたデューティ比 5 0 % の可変分周器 5 0 の動作について説明する。

本実施形態の可変分周器 5 0 は、図 6 の可変分周器 2 0 と同様に、N + 1 進カウンタを

10

20

30

40

50

用いた場合で奇数分周動作時にANDを取ってパルス幅を狭める方式の適用例である。したがって、可変分周器50の基本動作は、図6の可変分周器20の動作と略同様である。

【0078】

図16に示すように、可変分周器50には、外部より入力NとクロックCKが印加される。N+1進アップカウンタ51は、クロックCKの立ち上がりで動作するN+1進アップカウンタであり、0からNまでカウントアップし、Nに達すると再び0に戻りアップカウンタ動作を繰り返す。比較器13には、N+1進アップカウンタ51の出力Mと入力Nが入力されており、 $M \ll N$ のとき1、そうでないとき0を出力する。なお、 $N \gg 1$ はNを右に1ビットシフトすることを表しており、Nの最下位ビットを取り除き、最上位ビットに0を付加することにより得ることができる。

10

【0079】

比較器13の出力Cは、分周比が偶数の場合デューティ比50%である。但し、分周比が奇数の場合デューティ比50%の出力と比べてクロックCKの半周期分長い。また、図10で述べたように、クロックが立ち上がったから一定時間経過後に、ハザードが発生することがある。このハザードの影響を排除するために、比較器13の出力Cは、クロックCKの立ち上がりで動作するDF14に入力されている。また、DF14の出力Q1は、クロックCKの立ち下がり動作するDF15の入力になっている。このため、DF15の出力Q2は、DF14の出力Q1に比べて半周期遅れた信号となる。

【0080】

ORゲート26は、DF15の出力Q2とNの最下位ビットの論理和演算を行っている。分周比が偶数の時、Nの最下位ビットが1なので、ORゲート26は1を出力する。分周比が奇数の時、Nの最下位ビットが0であるので、ORゲート26はQ2の値を出力する。

20

【0081】

ANDゲート27は、DF14の出力Q1とORゲート26の出力の論理積演算を行っており、分周比が偶数の時、ORゲート26の出力が1なので、Q1の値を、分周比が奇数の時、ORゲート26からQ2の値が出力されるので、Q1とQ2の論理積演算を取った値を出力することとなる。分周比が偶数の場合、比較器13の出力CをクロックCKの立ち上がりで取り込んだDF14の出力Q1のデューティ比は50%であり、これがそのまま出力OUTから出力される。分周比が奇数の場合、DF14の出力Q1は、デューティ比50%の出力と比べてクロックCKの半周期分長い。そこで、DF14の出力Q1と、この信号を半周期遅延させたDF15の出力Q2の論理積演算をとることで、1を出力している部分をクロックCKの半周期分減少させてデューティ比50%として出力OUTから出力している。

30

【0082】

図17及び図18は、可変分周器50において、3ビット構成時の動作シミュレーション結果を示す波形図である。但し、本実施形態の可変分周器50は、N+1進アップカウンタ51を用いているので、設定したい分周比より1小さな値をNに印加する必要がある。図17は、4分周時の動作シミュレーション結果、図18は、5分周時の動作シミュレーション結果、をそれぞれ示している。なお、2分周時の動作シミュレーション結果、3分周時の動作シミュレーション結果、6分周時の動作シミュレーション結果、7分周時の動作シミュレーション結果、8分周時の動作シミュレーション結果については、図示を省略しているが、3ビット構成で可能な全シミュレーション結果は得られている。

40

図17及び図18に示すように、可変分周器50は、分周比が偶数の場合(図17参照)にも奇数の場合(図18参照)にもデューティ比50%の出力が得られていることが分かる。

【0083】

(第6の実施形態)

図19は、本発明の第6の実施形態に係るデューティ比50%の可変分周器の構成を示す回路図である。図16の太実線は多ビット配線、細実線は1ビット配線を表す。図6と

50

同一構成部分には同一符号を付して重複箇所の説明を省略する。

図 19 に示す可変分周器 60 は、外部より入力 N (N は 1 以上の自然数) とクロック CK を印加すると、出力 OUT からクロック CK を $N + 1$ 分周したデューティ比 50% のパルスを出力する回路である。

【0084】

図 19 に示すように、可変分周器 60 は、 $N + 1$ 進ダウンカウンタ 61 (プログラマブルカウンタ)、比較器 13、 $DF F 14$ ($DF F <1>$)、 $DF F 15$ ($DF F <2>$)、 OR ゲート 26、及び AND ゲート 27 を備える。

可変分周器 60 は、図 6 の可変分周器 20 のアップカウンタ 21 と比較器 12 (比較器 $<1>$) を $N + 1$ 進ダウンカウンタ 61 で置き換えたものである。

$N + 1$ 進ダウンカウンタ 61 は、クロック CK の立ち上がりで動作する $N + 1$ 進ダウンカウンタであり、 N から 0 までダウンカウントし、0 に達すると再び N に戻りダウンカウント動作を繰り返す。

【0085】

以下、上述のように構成されたデューティ比 50% の可変分周器 50 の動作について説明する。

本実施形態の可変分周器 60 は、図 6 の可変分周器 20 と同様に、 $N + 1$ 進カウンタを用いた場合で奇数分周動作時に AND を取ってパルス幅を狭める方式の適用例である。したがって、可変分周器 60 の基本動作は、図 6 の可変分周器 20 の動作と略同様である。

【0086】

図 19 に示すように、可変分周器 60 には、入力 N とクロック CK が印加される。 $N + 1$ 進ダウンカウンタ 61 は、クロック CK の立ち上がりで動作する $N + 1$ 進ダウンカウンタであり、 N から 0 までダウンカウントし、0 に達すると再び N に戻りダウンカウント動作を繰り返す。比較器 13 には、 $N + 1$ 進ダウンカウンタの出力 M と入力 N が入力されており、 M ($N \gg 1$) のとき 1、そうでないとき 0 を出力する。なお、 $N \gg 1$ は N を右に 1 ビットシフトすることを表しており、 N の最下位ビットを取り除き、最上位ビットに 0 を付加することにより得ることができる。

【0087】

比較器 13 の出力 C は、分周比が偶数の場合デューティ比 50% である。但し、分周比が奇数の場合デューティ比 50% の出力と比べてクロック CK の半周期分長い。また、図 10 で述べたように、クロック CK が立ち上がってから一定時間経過後に、ハザードが発生することがある。このハザードの影響を排除するために、比較器 13 の出力 C は、クロック CK の立ち上がりで動作する $DF F 14$ に入力されている。また、 $DF F 14$ の出力 $Q 1$ は、クロック CK の立ち下がり動作する $DF F 15$ の入力になっている。このため、 $DF F 15$ の出力 $Q 2$ は、 $DF F 14$ の出力 $Q 1$ に比べて半周期遅れた信号となる。

【0088】

OR ゲート 26 は、 $DF F 15$ の出力 $Q 2$ と N の最下位ビットの論理和演算を行っている。分周比が偶数の時、 N の最下位ビットが 1 であるので、 OR ゲート 26 は 1 を出力する。分周比が奇数の時、 N の最下位ビットが 0 であるので、 OR ゲート 26 は $Q 2$ の値を出力する。

【0089】

AND ゲート 27 は、 $DF F 14$ の出力 $Q 1$ と OR ゲート 26 の出力の論理積演算を行っており、分周比が偶数の時、 OR ゲート 26 の出力が 1 なので、 $Q 1$ の値を、分周比が奇数の時、 OR ゲート 26 から $Q 2$ の値が出力されるので、 $Q 1$ と $Q 2$ の論理積演算を取った値を出力することとなる。分周比が偶数の場合、比較器 13 の出力 C をクロック CK の立ち上がりで取り込んだ $DF F 14$ の出力 $Q 1$ のデューティ比は 50% であり、これがそのまま出力 OUT から出力される。分周比が奇数の場合、 $DF F 14$ の出力 $Q 1$ は、デューティ比 50% の出力と比べてクロック CK の半周期分長い。そこで、 $DF F 14$ の出力 $Q 1$ と、この信号を半周期遅延させた $DF F 26$ の出力 $Q 2$ の論理積演算をとることで、1 を出力している部分をクロック CK の半周期分減少させてデューティ比 50% として

10

20

30

40

50

出力OUTから出力している。

【0090】

図20及び図21は、可変分周器60において、3ビット構成時の動作シミュレーション結果を示す波形図である。但し、本実施形態の可変分周器60は、 $N+1$ 進ダウンカウンタ61を用いているので、設定したい分周比より1小さな値をNに印加する必要がある。図20は、4分周時の動作シミュレーション結果、図21は、5分周時の動作シミュレーション結果、をそれぞれ示している。なお、2分周時の動作シミュレーション結果、3分周時の動作シミュレーション結果、6分周時の動作シミュレーション結果、7分周時の動作シミュレーション結果、8分周時の動作シミュレーション結果については、図示を省略しているが、3ビット構成で可能な全シミュレーション結果は得られている。

図20及び図21に示すように、可変分周器60は、分周比が偶数の場合(図20参照)にも奇数の場合(図21参照)にもデューティ比50%の出力が得られていることが分かる。

【0091】

(第7の実施形態)

図22は、本発明の第7の実施形態に係るデューティ比50%の可変分周器の構成を示す回路図である。図22の太実線は多ビット配線、細実線は1ビット配線を表す。図9と同一構成部分には同一符号を付して重複箇所の説明を省略する。

図22に示す可変分周器70は、外部より入力N(Nは2以上の自然数)とクロックCKを印加すると、出力OUTからクロックCKをN分周したデューティ比50%のパルス

【0092】

図22に示すように、可変分周器70は、N進アップカウンタ31、比較器13、DF F 14(DF F <1>)、DF F 15(DF F <2>)、ANDゲート16、及びORゲート17を備える。

可変分周器70は、図9の可変分周器30と基本的に同じ回路構成である。下記の3点

【0093】

(1) DF F 14を立ち上がりエッジ動作から立ち下りエッジ動作に変更

(2) DF F 15を立ち下りエッジ動作から立ち上がりエッジ動作に変更

(3) N進アップカウンタ31を立ち上がりエッジ動作から立ち下りエッジ動作に変更

このように、図22の可変分周器70は、図9の可変分周器30と基本的回路は同じで全てのエッジ動作の部品の動作エッジを変更しているため、性能は図9の可変分周器30と同等である。

【0094】

以下、上述のように構成されたデューティ比50%の可変分周器70の動作について説明する。

本実施形態の可変分周器70は、図9の可変分周器30と同様に、N進カウンタを用いた場合で奇数分周動作時にORを取ってパルス幅を広げる方式の適用例である。したがって、可変分周器70の基本動作は、図9の可変分周器30の動作と略同様である。

【0095】

図22に示すように、可変分周器70には、入力NとクロックCKが印加される。N進アップカウンタ31は、クロックCKの立ち下がり動作するN進アップカウンタであり、1からNまでカウントアップし、Nに達すると再び1に戻りアップカウント動作を繰り返す。比較器13には、N進アップカウンタ31の出力Mと入力Nが入力されており、M($N \gg 1$)のとき1、そうでないとき0を出力する。なお、 $N \gg 1$ はNを右に1ビットシフトすることを表しており、Nの最下位ビットを取り除き、最上位ビットに0を付加することにより得ることができる。

【0096】

比較器13の出力Cは、分周比が偶数の場合デューティ比50%である。但し、分周比

が奇数の場合デューティ比50%の出力と比べてクロックCKの半周期分短い。また、クロックCKが立ち下がってから一定時間経過後に、ハザードが発生することがある。このハザードの影響を排除するために、比較器13の出力Cは、クロックCKの立ち下がり動作するDF F 14に入力されている。また、DF F 14の出力Q1は、クロックCKの立ち上がり動作するDF F 15の入力になっている。このため、DF F 15の出力Q2は、DF F 14の出力Q1に比べて半周期遅れた信号となる。

【0097】

ANDゲート16は、DF F 15の出力Q2とNの最下位ビットの論理積演算を行っている。分周比が偶数のときNの最下位ビットが0であるので、ANDゲート16は0を出力する。分周比が奇数のとき、Nの最下位ビットが1であるので、ANDゲート16はQ2の値を出力する。

10

【0098】

ORゲート17は、DF F 14の出力Q1とANDゲート16の出力の論理和演算を行っており、分周比が偶数の時、ANDゲート16の出力が0なので、Q1の値を、分周比が奇数の時、ANDゲート16からQ2の値が出力されるので、Q1とQ2の論理和演算を取った値を出力することとなる。分周比が偶数の場合、比較器の出力CをクロックCKの立ち下がり取り込んだDF F 14の出力Q1のデューティ比は50%であり、これがそのまま出力OUTから出力される。分周比が奇数の場合、DF F 14の出力Q1は、デューティ比50%の出力と比べてクロックCKの半周期分短い。そこで、DF F 14の出力Q1と、この信号を半周期遅延させたDF F 15の出力Q2の論理和演算をとることで、1を出力している部分をクロックCKの半周期分増加させてデューティ比50%として出力OUTから出力している。

20

【0099】

図23及び図24は、可変分周器70において、3ビット構成時の動作シミュレーション結果を示す波形図である。図23は、4分周時の動作シミュレーション結果、図24は、5分周時の動作シミュレーション結果、をそれぞれ示している。なお、2分周時の動作シミュレーション結果、3分周時の動作シミュレーション結果、6分周時の動作シミュレーション結果、7分周時の動作シミュレーション結果については、図示を省略しているが、3ビット構成で可能な全シミュレーション結果は得られている。

図23及び図24に示すように、可変分周器60は、分周比が偶数の場合(図23参照)にも奇数の場合(図24参照)にもデューティ比50%の出力が得られていることが分かる。

30

【0100】

次に、本実施形態の可変分周器70の回路構成の一部を変更した比較例について説明する。

[比較例1]

図25は、本実施形態に係る可変分周器の比較例1の構成を示す回路図である。図22と同一構成部分には同一符号を付して重複箇所の説明を省略する。

図25に示すように、比較例1の可変分周器70Aは、図9の可変分周器30の構成に対し、DF F 14を立ち上がり動作から立ち下り動作に変更すること、及びDF F 15を立ち下り動作から立ち上がり動作に変更ことのみを行っている。すなわち、比較例1の可変分周器70Aは、図22の可変分周器70のように、N進アップカウンタ31を立ち上がり動作から立ち下り動作に変更することは行っていない。

40

【0101】

図26及び図27は、可変分周器70Aにおいて、3ビット構成時の動作シミュレーション結果を示す波形図である。図26は、4分周時の動作シミュレーション結果、図27は、5分周時の動作シミュレーション結果、をそれぞれ示している。なお、2分周時の動作シミュレーション結果、3分周時の動作シミュレーション結果、6分周時の動作シミュレーション結果、7分周時の動作シミュレーション結果については、図示を省略しているが、3ビット構成で可能な全シミュレーション結果は得られている。

50

図 2 6 及び図 2 7 に示すように、可変分周器 7 0 A は、分周比が偶数の場合（図 2 6 参照）にも奇数の場合（図 2 7 参照）にもデューティ比 5 0 % の出力が得られていることが分かる。

しかしながら、比較例 1 の可変分周器 7 0 A のように、N 進アップカウンタ 3 1 と D F F 1 4 を異なるタイミングで動作させると、クロック C K が低い場合は問題がないものの、図 2 2 の可変分周器 7 0 に比べて、クロック C K に印加できる周波数の上限が約半分になってしまう。その理由について説明する。

【 0 1 0 2 】

N 進アップカウンタ 3 1 と D F F 1 4 が同一タイミングで動作する場合、N 進アップカウンタ 3 1 の出力 M が変化し、それが、比較器 1 3 を通り、D F F 1 4 に到達するまでの時間がクロック C K の 1 周期以内であればよいが、N 進アップカウンタ 3 1 と D F F 1 4 が別のエッジで動作する場合、この時間がクロック C K の半周期以内になるためである。すなわち、図 2 5 の場合、クロック C K が立ち上がり、N 進アップカウンタ 3 1 の出力 M が変化し、比較器 1 3 を通り、C K の立ち下りまでに D F F 1 4 に到達しなければならない。

【 0 1 0 3 】

[比較例 2]

図 2 8 は、本実施形態に係る可変分周器の比較例 2 の構成を示す回路図である。図 2 2 と同一構成部分には同一符号を付して重複箇所の説明を省略する。

図 2 8 に示すように、比較例 2 の可変分周器 7 0 B は、図 9 の可変分周器 3 0 の構成に対し、N 進アップカウンタ 3 1 を立ち上がり動作から立ち下り動作に変更することのみを行っている。すなわち、比較例 2 の可変分周器 7 0 B は、図 2 2 の可変分周器 7 0 のように、D F F 1 4 を立ち上がり動作から立ち下り動作に変更すること、及び D F F 1 5 を立ち下り動作から立ち上がり動作に変更することには行っていない。

【 0 1 0 4 】

図 2 9 及び図 3 0 は、可変分周器 7 0 B において、3 ビット構成時の動作シミュレーション結果を示す波形図である。図 2 9 は、4 分周時の動作シミュレーション結果、図 3 0 は、5 分周時の動作シミュレーション結果、をそれぞれ示している。なお、2 分周時の動作シミュレーション結果、3 分周時の動作シミュレーション結果、6 分周時の動作シミュレーション結果、7 分周時の動作シミュレーション結果については、図示を省略しているが、3 ビット構成で可能な全シミュレーション結果は得られている。

図 2 9 及び図 3 0 に示すように、可変分周器 7 0 B は、分周比が偶数の場合（図 2 9 参照）にも奇数の場合（図 3 0 参照）にもデューティ比 5 0 % の出力が得られていることが分かる。

【 0 1 0 5 】

しかしながら、比較例 2 の可変分周器 7 0 B のように、N 進アップカウンタ 3 1 と D F F 1 4 を異なるタイミングで動作させると、クロック C K が低い場合は問題がないものの、図 2 2 の可変分周器 7 0 に比べて、クロック C K に印加できる周波数の上限が約半分になってしまう。

N 進アップカウンタ 3 1 と D F F 1 4 が同一タイミングで動作する場合、N 進アップカウンタ 3 1 の出力 M が変化し、それが、比較器 1 3 を通り、D F F 1 4 に到達するまでの時間がクロック C K の 1 周期以内であればよいが、N 進アップカウンタ 3 1 と D F F 1 4 が別のエッジで動作する場合、この時間がクロック C K の半周期以内になるためである。図 2 8 の場合、クロック C K が立ち下がり、N 進アップカウンタ 3 1 の出力 M が変化し、比較器 1 3 を通り、C K の立ち上がりまでに D F F 1 4 に到達しなければならない。

【 0 1 0 6 】

<動作速度>

本実施形態の可変分周器 7 0 と比較例 1 の可変分周器 7 0 A と比較例 2 の可変分周器 7 0 B においてクロック C K に印加できる最大周波数をシミュレーションにより比較した。その結果、N 進アップカウンタ 3 1 と D F F 1 4 を異なるエッジで動作させた場合のクロ

ックCKに印加できる最大周波数は、N進アップカウンタ31とDFF14を同一エッジで動作させた場合の約半分になることが判明した。

【0107】

次に、デューティ比50%の可変分周器30~70で用いるカウンタの回路構成について説明する。

【0108】

図31は、図9のN進アップカウンタ31の内部回路を示す図である。

図31に示すように、N進アップカウンタ31は、同期リセット型のアップカウンタ301と、比較器302とから構成されている。アップカウンタ301は、リセットすると値が1になるアップカウンタである。

アップカウンタ301の出力Mが入力N以上になると、比較器302はRES信号を出力し、次のクロックの立ち上がりで、アップカウンタ301の値は1になる。

【0109】

図32は、図13のN進ダウンカウンタ41の内部回路を示す図である。

図32に示すように、N進ダウンカウンタ41は、同期ロード型のダウンカウンタ311と、比較器312とから構成されている。ダウンカウンタ311は、Load信号が入ると、値がNになるダウンカウンタである。

ダウンカウンタ311の出力Mが1になると比較器312はLoad信号を出力し、次のクロックの立ち上がりで、入力Nを読み込み、ダウンカウンタ311の値はNになる。

【0110】

図33は、図16のN+1進アップカウンタ51の内部回路を示す図である。

図33に示すように、N+1進アップカウンタ51は、同期リセット型のアップカウンタ321と、比較器302とから構成されている。アップカウンタ321は、リセットすると値が0になるアップカウンタである。

アップカウンタ321の出力Mが入力N以上になると、比較器302はRES信号を出力し、次のクロックの立ち上がりで、アップカウンタの値は0になる。

【0111】

図34は、図19のN+1進ダウンカウンタ61の内部回路を示す図である。

図34に示すように、N+1進ダウンカウンタ61は、同期ロード型のダウンカウンタ311と、比較器332とから構成されている。ダウンカウンタ311は、Load信号が入ると、値がNになるダウンカウンタである。ダウンカウンタ311の出力Mが0になると、比較器332はLoad信号を出力し、次のクロックの立ち上がりで、入力Nを読み込み、ダウンカウンタ311の値はNになる。

【0112】

(第8の実施形態)

第8の実施形態は、N進カウンタを用いた場合で、奇数分周時にANDを取ってパルス幅を狭める方式の適用例である。

図35は、本発明の第8の実施形態に係るデューティ比50%の可変分周器の構成を示す回路図である。図35の太実線は多ビット配線、細実線は1ビット配線を表す。図9と同一構成部分には同一符号を付して重複箇所の説明を省略する。

図35に示す可変分周器80は、外部より入力N(Nは2以上の自然数)とクロックCKを印加すると、出力OUTからクロックCKをN分周したデューティ比50%のパルスを出力する回路である。

【0113】

可変分周器80は、N進アップカウンタ31、比較器83(請求項1記載の比較器)、DFF14(DFF<1>)、DFF15(DFF<2>)、インバータ86(組合せ回路、ゲート回路)、ORゲート87(組合せ回路、ゲート回路)、及びANDゲート88(組合せ回路、ゲート回路)を備える。

可変分周器80は、図9の可変分周器30の比較器13を、比較器83に変えることで出力部分を奇数分周動作時にANDを取ってパルス幅を狭める方式に変更するものである

10

20

30

40

50

。

比較器 8 3 は、N 進アップカウンタ 3 1 の出力 M と入力 N を入力し、 $M > (N \gg 1)$ のとき 1、そうでないとき 0 を出力する。なお、 $N \gg 1$ は、N を右に 1 ビットシフトすることを表しており、N の最下位ビットを取り除き、最上位ビットに 0 を付加することにより得ることができる。

【 0 1 1 4 】

本実施形態の可変分周器 8 0 において、3 ビット構成時の全分周比でデューティ比 5 0 % の出力が得られることをシミュレーションにより確認している。

【 0 1 1 5 】

(第 9 の実施形態)

第 9 の実施形態は、第 8 の実施形態と同様に、N 進カウンタを用いた場合で奇数分周時に AND を取ってパルス幅を狭める方式の適用例である。第 8 の実施形態では、N 進カウンタとして N 進アップカウンタを用いているが、第 9 の実施形態では、N 進ダウンカウンタを用いている。

【 0 1 1 6 】

図 3 6 は、本発明の第 9 の実施形態に係るデューティ比 5 0 % の可変分周器の構成を示す回路図である。図 3 6 の太実線は多ビット配線、細実線は 1 ビット配線を表す。図 1 3 及び図 3 5 と同一構成部分には同一符号を付して重複箇所の説明を省略する。

図 3 6 に示す可変分周器 9 0 は、外部より入力 N (N は 2 以上の自然数) とクロック C K を印加すると、出力 O U T からクロック C K を N 分周したデューティ比 5 0 % のパルス

【 0 1 1 7 】

可変分周器 9 0 は、N 進ダウンカウンタ 4 1 (プログラマブルカウンタ)、比較器 8 3 (請求項 1 記載の比較器)、D F F 1 4 ($D F F < 1 >$)、D F F 1 5 ($D F F < 2 >$)、インバータ 8 6、OR ゲート 8 7、及び AND ゲート 8 8 を備える。

比較器 8 3 は、N 進ダウンカウンタ 9 1 の出力 M と入力 N を入力し、 $M > (N \gg 1)$ のとき 1、そうでないとき 0 を出力する。なお、 $N \gg 1$ は、N を右に 1 ビットシフトすることを表しており、N の最下位ビットを取り除き、最上位ビットに 0 を付加することにより得ることができる。

可変分周器 9 0 は、図 3 5 の可変分周器 8 0 の N 進アップカウンタ 3 1 を、N 進ダウンカウンタ 4 1 に変更したものである。

【 0 1 1 8 】

本実施形態の可変分周器 9 0 において、3 ビット構成時の全分周比でデューティ比 5 0 % の出力が得られることをシミュレーションにより確認している。

【 0 1 1 9 】

(第 1 0 の実施形態)

第 1 0 の実施形態は、N + 1 進カウンタを用いた場合で、奇数分周時に OR を取ってパルス幅を広げる方式の適用例である。

【 0 1 2 0 】

図 3 7 は、本発明の第 1 0 の実施形態に係るデューティ比 5 0 % の可変分周器の構成を示す回路図である。図 3 7 の太実線は多ビット配線、細実線は 1 ビット配線を表す。図 1 6 と同一構成部分には同一符号を付して重複箇所の説明を省略する。

図 3 7 に示す可変分周器 1 0 0 は、外部より入力 N (N は 1 以上の自然数) とクロック C K を印加すると、出力 O U T からクロック C K を N + 1 分周したデューティ比 5 0 % のパルス

可変分周器 1 0 0 は、N + 1 進アップカウンタ 5 1 (プログラマブルカウンタ)、比較器 8 3 (請求項 1 記載の比較器)、D F F 1 4 ($D F F < 1 >$)、D F F 1 5 ($D F F < 2 >$)、インバータ 1 0 6 (組合せ回路, ゲート回路)、AND ゲート 1 0 7 (組合せ回路, ゲート回路)、及び OR ゲート 1 0 8 (組合せ回路, ゲート回路) を備える。

【 0 1 2 1 】

10

20

30

40

50

比較器 8 3 は、 $N + 1$ 進アップカウンタ 5 1 の出力 M と入力 N を入力し、 $M > (N \gg 1)$ のとき 1、そうでないとき 0 を出力する。なお、 $N \gg 1$ は、 N を右に 1 ビットシフトすることを表しており、 N の最下位ビットを取り除き、最上位ビットに 0 を付加することにより得ることができる。

【 0 1 2 2 】

本実施形態の可変分周器 1 0 0 において、3 ビット構成時の全分周比でデューティ比 5 0 % の出力が得られることをシミュレーションにより確認している。

【 0 1 2 3 】

(第 1 1 の実施形態)

第 1 1 の実施形態は、第 1 0 の実施形態と同様に、 $N + 1$ 進カウンタを用いた場合で奇数分周時に OR を取ってパルス幅を広げる方式の適用例である。第 1 0 の実施形態では、 $N + 1$ 進カウンタとして $N + 1$ 進アップカウンタを用いているが、実施形態 1 1 では、 $N + 1$ 進ダウンカウンタを用いている。

【 0 1 2 4 】

図 3 8 は、本発明の第 1 1 の実施形態に係るデューティ比 5 0 % の可変分周器の構成を示す回路図である。図 3 8 の太実線は多ビット配線、細実線は 1 ビット配線を表す。図 1 9 及び図 3 7 と同一構成部分には同一符号を付して重複箇所の説明を省略する。

図 3 8 に示す可変分周器 1 1 0 は、外部より入力 N (N は 1 以上の自然数) とクロック CK を印加すると、出力 OUT からクロック CK を $N + 1$ 分周したデューティ比 5 0 % のパルスを入力する回路である。

可変分周器 1 1 0 は、 $N + 1$ 進ダウンカウンタ 6 1 (プログラマブルカウンタ)、比較器 8 3、 $DF F 1 4$ ($DF F < 1 >$)、 $DF F 1 5$ ($DF F < 2 >$)、インバータ 1 0 6、AND ゲート 1 0 7、及び OR ゲート 1 0 8 を備える。

【 0 1 2 5 】

比較器 8 3 は、 $N + 1$ 進ダウンカウンタ 6 1 の出力 M と入力 N を入力し、 $M > (N \gg 1)$ のとき 1、そうでないとき 0 を出力する。なお、 $N \gg 1$ は、 N を右に 1 ビットシフトすることを表しており、 N の最下位ビットを取り除き、最上位ビットに 0 を付加することにより得ることができる。

可変分周器 1 1 0 は、図 3 7 可変分取器 1 0 0 の $N + 1$ 進アップカウンタ 5 1 を、 $N + 1$ 進ダウンカウンタ 6 1 に変更したものである。

【 0 1 2 6 】

本実施形態の可変分周器 1 1 0 において、3 ビット構成時の全分周比でデューティ比 5 0 % の出力が得られることをシミュレーションにより確認している。

【 0 1 2 7 】

(第 1 2 の実施形態)

第 1 ~ 第 1 1 の実施形態の可変分周器は、回路動作中に分周比を変更することができ、分周比が奇数値であっても分周比に関係なく常にデューティ比 5 0 % の安定した出力信号を得ることができる。しかし、第 1 ~ 第 1 1 の実施形態の可変分周器は、分周比が 1 の場合には動作しない。

第 1 2 の実施形態は、分周比が 1 の場合にも動作可能にしたデューティ比 5 0 % 可変分周器の構成例である。

【 0 1 2 8 】

図 3 9 は、本発明の第 1 2 の実施形態に係る分周比 1 で動作可能なデューティ比 5 0 % の可変分周器の構成を示す回路図である。図 3 9 の太実線は多ビット配線、細実線は 1 ビット配線を表す。図 1 と同一構成部分には同一符号を付して重複箇所の説明を省略する。

図 3 9 に示す可変分周器 1 2 0 は、外部より入力 N (N は 1 以上の自然数) とクロック CK を印可すると、クロック CK を N 分周したデューティ比 5 0 % のパルスを入力する回路である。

可変分周器 1 2 0 は、アップカウンタ 1 1、比較器 1 2 (比較器 $< 1 >$)、比較器 1 3 (比較器 $< 2 >$)、 $DF F 1 4$ ($DF F < 1 >$)、 $DF F 1 5$ ($DF F < 2 >$)、比較器 1 2 1 (

10

20

30

40

50

比較器<3>) (一致回路)、ANDゲート122 (組合せ回路, ゲート回路)、ANDゲート16、及びORゲート17を備える。

【0129】

可変分周器120は、図1の可変分周器10に、さらに比較器121及びANDゲート122を追加し、ORゲート17でANDゲート122の出力のORをとる構成である。すなわち、上記比較器121及びANDゲート122は、1分周が可能となるように、図1の可変分周器10に付加される付加回路である。

比較器121は、分周比が1、すなわちNが1であることを検出する一致回路である。

可変分周器120は、比較器121により入力Nが1であることを検出すると、ANDゲート122及びORゲート17を介してクロックCKを出力する。なお、図39の可変分周器120は、アップカウンタ11、比較器12、比較器13、比較器121のビット幅がmの時、 $1 \sim (2^m - 1)$ までの分周動作が可能である。

【0130】

図40は、可変分周器120において、1分周時(入力Nが1の時)の動作シミュレーション結果を示す波形図である。

図40に示すように、可変分周器120は、入力Nが1の時、1分周動作となり、クロックCKをそのまま出力することが分かる。

このように、本実施形態の可変分周器120は、比較器121及びANDゲート122からなる付加回路をさらに備えることで、図1の可変分周器10の効果に加え、簡素な付加回路でありながら1分周が可能となる。

【0131】

(第13の実施形態)

第13の実施形態は、第12の実施形態と同様に、分周比が1の場合にも動作可能にしたデューティ比50%可変分周器の構成例である。第12の実施形態はN分周回路を用いており入力Nが1のときに1分周動作となるが、第13の実施形態はN+1分周回路を用いており入力Nが0のときに1分周動作となる。

【0132】

図41は、本発明の第13の実施形態に係る分周比1で動作可能なデューティ比50%の可変分周器の構成を示す回路図である。図41の太実線は多ビット配線、細実線は1ビット配線を表す。図6と同一構成部分には同一符号を付して重複箇所の説明を省略する。

図41に示す可変分周器130は、外部より入力N(Nは0以上の自然数)とクロックCKを印可するとクロックCKをN+1分周したデューティ比50%のパルスを出力する回路である。

可変分周器130は、アップカウンタ21、比較器12(比較器<1>)、比較器13(比較器<2>)、DFF14(DFF<1>)、DFF15(DFF<2>)、ORゲート131、ORゲート26、及びANDゲート27を備える。

【0133】

可変分周器130は、図6の可変分周器20に、さらにORゲート131を追加し、ANDゲート27で、ORゲート131の出力のANDをとる構成である。すなわち、ORゲート131は、1分周が可能となるように付加した回路である。ORゲート131は、分周比が1、すなわちNが0であることを検出する機能を持っている。

可変分周回路130は、入力Nが0のとき、ORゲート、ANDゲート27を介してクロックCKを出力する。

なお、図41の可変分周器130は、アップカウンタ21、比較器12、比較器13比較器121のビット幅がmの時、 $1 \sim 2^m$ までの分周動作が可能である。

【0134】

図42は、可変分周器130において、1分周時(入力Nが0の時)の動作シミュレーション結果を示す波形図である。

図42に示すように、可変分周器130は、入力Nが0の時、1分周動作となり、クロックCKをそのまま出力することが分かる。

このように、本実施形態の可変分周器 130 は、OR ゲート 131 を付加することで、図 6 の可変分周器 20 の効果に加え、簡素な付加回路でありながら 1 分周が可能となる。

また、可変分周器 130 は、多入力の OR ゲート 131 が一致回路としての機能を持つため、図 39 の可変分周器 120 に比べて回路がより簡素になる。

【0135】

さらに、可変分周器 130 は、同ビット構成の場合、図 39 の可変分周器 120 より分周比の上限が 1 だけ大きい。但し、可変分周器 130 は、入力 N の場合に、 $N + 1$ 分周を行うため、設定したい分周比 - 1 を N に印加する必要がある。

【0136】

(第 14 の実施形態)

第 14 の実施形態は、各可変分周器 10, 20, 120, 130 の出力部分を 2 重否定してド・モルガン則を適用した例である。

【0137】

図 43 は、図 1 の可変分周器 10 の出力部分を 2 重否定しド・モルガン則を適用した可変分周器の構成を示す回路図である。図 43 の太実線は多ビット配線、細実線は 1 ビット配線を表す。

図 43 に示す可変分周器 140 は、外部より入力 N (N は 2 以上の自然数) とクロック CK を印可するとクロック CK を N 分周したデューティ比 50% のパルスを出力する回路である。

【0138】

可変分周器 140 は、アップカウンタ 11、比較器 12 (比較器 <1>)、比較器 13 (比較器 <2>)、DF F 14 (DF F <1>)、DF F 15 (DF F <2>)、及び NAND ゲート 141, 142 (組合せ回路, ゲート回路) を備える。

可変分周器 140 は、図 1 の可変分周器 10 の AND ゲート 16 及び OR ゲート 17 に代えて NAND ゲート 141, 142 を用いる。DF F 14 の Q1 の反転出力 (以下、図中、Q の上端にバーを付したものを Q の反転出力と呼ぶ) が NAND ゲート 142 の入力となっている。この回路は、図 1 の分周回路 10 の出力 OUT を 2 重否定し、ド・モルガン則を適用することにより得ることができる。

【0139】

可変分周器 140 は、出力部分を NAND ゲート 141, 142 で構成することができる。一般に、NAND ゲートは、AND ゲートや OR ゲートより、集積回路化した場合のレイアウト面積が小さいことから、図 1 の分周回路 10 よりも図 43 の分周回路 140 の方が、集積回路化に適した回路であるといえる。

【0140】

図 44 は、図 6 の可変分周器 20 の出力部分を 2 重否定しド・モルガン則を適用した可変分周器の構成を示す回路図である。図 44 の太実線は多ビット配線、細実線は 1 ビット配線を表す。

図 44 に示す可変分周器 150 は、外部より入力 N (N は 1 以上の自然数) と入力クロック CK を印可すると、クロック CK を $N + 1$ 分周したデューティ比 50% のパルスを出力する回路である。

【0141】

可変分周器 150 は、アップカウンタ 21、比較器 12 (比較器 <1>)、比較器 13 (比較器 <2>)、DF F 14 (DF F <1>)、DF F 15 (DF F <2>)、及び NOR ゲート 151, 152 (組合せ回路, ゲート回路) を備える。

可変分周器 150 は、図 6 の可変分周器 20 の OR ゲート 26 及び AND ゲート 27 に代えて NOR ゲート 151, 152 を用いる。DF F 14 の Q1 の反転出力が NOR 152 の入力となっている。この回路は、図 6 の分周回路 20 の出力 OUT を 2 重否定し、ド・モルガン則を適用することにより得ることができる。

可変分周器 150 は、出力部分を NOR ゲート 151, 152 で構成することができる。

。

10

20

30

40

50

【 0 1 4 2 】

NORゲートは、ANDゲートやORゲートより、集積回路化した場合のレイアウト面積が小さいことから、図6の分周回路20よりも図44の分周回路150の方が、集積回路化に適した回路であるといえる。

【 0 1 4 3 】

図45は、図39の分周比1で動作可能な可変分周器120の出力部分を2重否定シド・モルガン則を適用した可変分周器の構成を示す回路図である。図45の太実線は多ビット配線、細実線は1ビット配線を表す。

図45に示す可変分周器160は、外部より入力N（Nは1以上の自然数）とクロックCKを印可すると、クロックCKをN分周したデューティ比50%のパルスを出力する回路である。

可変分周器160は、アップカウンタ11、比較器12（比較器<1>）、比較器13（比較器<2>）、DF F 14（DF F <1>）、DF F 15（DF F <2>）、比較器121（比較器<3>）（一致回路）、及びNANDゲート161、162、163（組合せ回路、ゲート回路）を備える。

【 0 1 4 4 】

可変分周器160は、図39の可変分周器120のANDゲート122、16及びORゲート17に代えてNANDゲート161、162、163を用いる。DF F 14のQ1の反転出力がNANDゲート163の入力となっている。この回路は、図39の可変分周器120の出力OUTを2重否定し、ド・モルガン則を適用することにより得ることができる。

可変分周器160は、出力部分をNANDゲート161、162、163で構成することができる。上述したように、NANDゲートは、ANDゲートやORゲートより、集積回路化した場合のレイアウト面積が小さいことから、図39の分周回路120より図45の分周回路160の方が、集積回路化に適した回路であるといえる。

【 0 1 4 5 】

図46は、図41の分周比1で動作可能な図41の可変分周器130の出力部を2重否定シド・モルガン則を適用した可変分周器を示す回路図である。図46の太実線は多ビット配線、細実線は1ビット配線を表す。

図46に示す可変分周器170は、外部より入力N（Nは0以上の自然数）とクロックCKを印可すると、クロックCKをN+1分周したデューティ比50%のパルスを出力する回路である。

可変分周器170は、アップカウンタ21、比較器12（比較器<1>）、比較器13（比較器<2>）、DF F 14（DF F <1>）、DF F 15（DF F <2>）、及びNORゲート171、172、173（組合せ回路、ゲート回路）を備える。

【 0 1 4 6 】

可変分周器170は、図41の可変分周器130のORゲート131、26及びANDゲート27に代えてNORゲート171、172、173を用いる。DF F 14のQ1の反転出力がNORゲート173の入力となっている。この回路は、図41の分周回路130の出力OUTを2重否定シド・モルガン則を適用することにより得ることができる。

可変分周器170は、出力部分をNORゲート171、172、173で構成することができる。

上述したように、NORゲートは、ANDゲートやORゲートより、集積回路化した場合のレイアウト面積が小さいことから、図41の分周回路130よりも図46の分周回路170の方が、集積回路化に適した回路であるといえる。

【 0 1 4 7 】

このように、第14の実施形態の可変分周器140、150、160、170では、出力部分がNANDゲート又はNORゲートで構成できる。NANDゲート及びNORゲートは、ANDゲート及びORゲートよりも集積回路化した場合のレイアウト面積が小さいため、集積回路化に有効な回路であるといえる。また、NANDゲートのみ、またNOR

10

20

30

40

50

ゲートのみを使用して回路を構成できるので回路を簡素化する点からも有効である。

【0148】

なお、本実施形態では、第1の実施形態の可変分周器10（図1参照）、第2の実施形態の分周回路20（図6参照）、第12の実施形態の可変分周回路120（図39参照）、第13の実施形態の可変分周回路130（図41参照）の出力部分を2重否定してド・モルガン則を適用して、NANDゲートのみ又はNORゲートのみで出力部分を構成した例について説明したが、第3の実施形態の可変分周器30（図9参照）、第4の実施形態の可変分周器40（図13参照）、第5の実施形態の可変分周器50（図16参照）、第6の実施形態の可変分周器60（図19参照）、第7の実施形態の可変分周器70（図22参照）、第8の実施形態の可変分周器80（図35参照）、第9の実施形態の可変分周器90（図36参照）、第10の実施形態の可変分周器100（図37参照）、第11の実施形態の可変分周器110（図38参照）の出力部分を2重否定してド・モルガン則を適用してもよく、同様の効果を得ることができる。

10

【0149】

以上述べたように、本発明では、クロックCKを計数し、計数値結果M（Mは任意の自然数）を得るプログラブルカウンタと、前記プログラブルカウンタの計数値Mと入力N（Nは任意の自然数）を入力し、前記計数値Mと前記入力Nを比較して、偶数分周動作時にデューティ比50%となり、かつ奇数分周動作時にデューティ比50%の出力に比べてクロックCKの半周期分広い又は狭い出力Cを出力する比較器と、前記クロックCKの第1のエッジで前記比較器の前記出力Cを取り込み、出力Q1として出力する第1のD型フリップフロップ（DFF）と、前記クロックCKの第2のエッジで前記第1のDFFの出力Q1を取り込み、前記第1のDFFの前記出力Q1に比べて前記クロックCKの半周期遅れた出力Q2として出力する第2のDFFと、偶数分周動作時に、前記第1のDFFの出力Q1をそのまま出力させ、奇数分周動作時に前記第1のDFFの出力Q1と前記第2のDFFの出力Q2の論理演算を行ってデューティ比50%の出力信号OUTを出力する可変分周器である。

20

【0150】

基本的な実施形態として、第1の実施形態の可変分周器10（図1参照）、第2の実施形態の可変分周器20（図6参照）、第3の実施形態の可変分周器30（図9参照）、第4の実施形態の可変分周器40（図13参照）、第5の実施形態の可変分周器50（図16参照）、第6の実施形態の可変分周器60（図19参照）、第7の実施形態の可変分周器70（図22参照）、第8の実施形態の可変分周器80（図35参照）、第9の実施形態の可変分周器90（図36参照）、第10の実施形態の可変分周器100（図37参照）、第11の実施形態の可変分周器110（図38参照）を示した。また、これらの実施形態の可変分周器に簡単な回路付加し1分周動作を可能にした第12の実施形態の可変分周器120（図39参照）、第13の実施形態の可変分周器130（図41参照）、さらに、第1～第13までの実施形態の可変分周器の出力部分をNANDゲート又はNORゲートのみで構成できる第13の実施形態を示した。

30

【0151】

上記各実施形態では、プログラブルカウンタは、アップカウンタ又はダウンカウンタ、立ち上がり動作又は立ち下り動作、さらにN進カウンタ又はN+1進カウンタである。

40

【0152】

また、上記各実施形態の可変分周器10～110では、比較器13（例えば図9参照）は、偶数分周動作時にデューティ比50%となり、かつ奇数分周動作時にデューティ比50%の出力に比べてクロックCKの半周期分広い又は狭いパルスを出力する。

また、比較器13の出力Cを入力とするDFF14（例えば図9参照）は、偶数分周動作時にデューティ比50%、奇数分周動作時にデューティ比50%の出力に比べてクロックCKの半周期分広い又は狭い、ハザードのない出力Q1を出力し、DFF15（例えば図9参照）は、DFF14と異なるエッジで駆動しており、比較器13の出力Cを入力とするDFF15は、DFF14の出力Q1に比べてクロックCKの半周期遅れた出力Q2

50

を出力し、組合せ回路は、偶数分周動作時に、D F F 1 4 の出力 Q 1 をそのまま出力させ、奇数分周動作時に広ければ狭め狭ければ広める論理演算を行って、出力 O U T からデューティ比 5 0 % のパルスを出力する。

【 0 1 5 3 】

<ハザードの影響>

この構成により、上記各実施形態の可変分周器 1 0 ~ 1 1 0 は、前記図 3 で述べたように、比較器 1 3 の出力 C にハザードが発生したとしても、D F F 1 4 はクロック C K の立ち上がった（又は立ち下がった）瞬間の比較器 1 3 の出力 C を取り込んでいるので、ハザードの影響を受けることはない。

【 0 1 5 4 】

<回路動作中の分周比変更>

また、第 1 4 の実施形態の可変分周器 1 7 0 を含むすべての実施形態の可変分周器 1 0 ~ 1 7 0 は、デューティ比 5 0 % の可変分周器であり、外部より入力 N とクロック C K を印加すると、N 進カウンタを使用している場合は、クロック C K を N 分周したパルスを、また、N + 1 進カウンタを使用している場合にはクロック C K を N + 1 分周したパルスを出力する。この際、入力 N に変更があっても変更された入力 N と計数値 M とを用いて分周動作を継続するため、クロックの供給を停止することなく分周比を変更できる。回路動作中に任意のタイミングで、いつでも分周比を変更できる利点は大きい。例えば、基板上の各動作クロックの異なるデバイスへの動作クロックを供給する場合、各デバイスへのクロック供給を止めることなく特定デバイスへ供給する周波数を変更することができる。

【 0 1 5 5 】

図 4 7 及び図 4 8 は、図 9 の可変分周器 1 0 において、動作途中に分周比を変化させた場合の動作シミュレーション結果を示す波形図である。図 4 7 は、3 分周の途中で 2 分周に変化させた場合の動作シミュレーション結果、図 4 8 は、3 分周の途中で 4 分周に変化させた場合の動作シミュレーション結果、をそれぞれ示している。

図 4 7 及び図 4 8 に示すように、可変分周器 1 0 は、回路動作中に分周比を変更することができ、常にデューティ比 5 0 % の安定した出力信号が得られていることが分かる。

【 0 1 5 6 】

上記、可変分周器 1 0（図 1 参照）を例に取り回路動作中の分周比変更を説明したが、他の各実施形態の可変分周器 2 0 ~ 1 7 0 についても同様に、回路動作中に分周比を変更することができ、常にデューティ比 5 0 % の安定した出力信号が得られることが確かめられた。

【 0 1 5 7 】

<常にデューティ比 5 0 % の安定した出力信号>

また、第 1 4 の実施形態の可変分周器 1 7 0 を含むすべての実施形態の可変分周器 1 0 ~ 1 7 0 は、分周比が奇数値であっても分周比に関係なく常にデューティ比 5 0 % の安定した出力信号を得ることができる。

例えば、第 1 の実施形態の可変分周器 1 0（図 1 参照）において、前記図 4 及び図 5 に示すように、入力 N が偶数の場合（図 4 参照）にも奇数の場合（図 5 参照）にもデューティ比 5 0 % の出力が得られていることが分かる。

【 0 1 5 8 】

異なるエッジで動作する D F F の間に組合せ回路が挿入されておらず直接接続されているため、この部分が周波数の上限を決める原因（クリティカルパス）とならず、高い周波数のクロック C K を印加できる。

【 0 1 5 9 】

<分周比 1 で動作可能な可変分周器>

第 1 2 の実施形態の可変分周器 1 2 0、及び第 1 3 の実施形態の可変分周器 1 3 0 は、各実施形態の可変分周器 1 0 ~ 1 1 0 に、付加回路を備えることで、分周比 1 で動作可能なデューティ比 5 0 % の可変分周器を実現できる。付加回路は、例えば比較器 1 2 1 及び A N D ゲート 1 2 2（図 3 9 参照）、又は O R ゲート 1 3 1（図 4 1 参照）で構成するこ

10

20

30

40

50

とができる。

このように、第12の実施形態の可変分周器120、及び第13の実施形態の可変分周器130は、上記付加回路をさらに備えることで、簡素な付加回路でありながら1分周が可能となる。

【0160】

<分周動作の停止>

各実施形態の可変分周器10～170は、分周動作を行う入力Nの下限が示されている。例えば、第1の実施形態では、Nは2以上となっている。この下限より小さな値をNに入力すると、可変分周回路は、出力を停止する。

図49は、第1の実施形態に係る可変分周器10において、入力Nに0を加えた場合の動作シミュレーション結果を示す波形図である。また、図50は、第1の実施形態に係る可変分周器10において、入力Nに1を加えた場合の動作シミュレーション結果を示す波形図である。

図49及び図50に示すように、図1の可変分周器10において、入力Nに分周動作を行う入力Nの下限より小さな値を入力することで、出力を停止することができる。これにより、入力Nに出力を停止するストップ回路としての機能を持たせることができる。

【0161】

<ド・モルガン則の適用>

第14の実施形態で述べたように、各実施形態の可変分周器出力部分を2重否定してド・モルガン則を適用することにより、集積回路化した場合のレイアウト面積を小さくすることができる。また、第14の実施形態では、NORゲートあるいはNANDゲートのうち一種類のみを使用すればよいため回路構成をより簡素化することができる。

【0162】

<ハードウェア記述言語を用いた構成>

上記各実施形態の可変分周器10～170は、ハードウェア記述言語を用いて簡単に記述することができるので、FPGA上に実装可能である。また、自動論理合成ツールを利用して、簡単に集積回路化のためのレイアウトを生成可能である。

また、ハードウェア記述言語を用いると、パラメータでビット幅を記述することができ、パラメータによってビット幅を変化させて分周比の最大値を簡単に設定することができる。

【0163】

<適用>

回路動作中に分周比変更可能で、かつ分周比が奇数値の場合にも出力信号のデューティ比が常に50%になる簡単な回路構成の可変分周器である。しかもハードウェア記述言語を用いて簡単に記述することができる。以上の特徴を有する可変分周器であるので、様々な用途の可変分周器に適用して好適である。

【0164】

例えば、本可変分周器を集積回路化してもよく、ICチップに組み込まれる機能要素の一つとして利用してもよい。本可変分周器は、集積回路におけるクロック生成部に使用して好適である。周波数を下げる場合にはそのまま使われ、周波数を高くする場合に、例えばADPLL(All Digital Phase Locked Loop:全デジタル位相同期ループ)の一部品として使うことができる。現在、位相同期ループ(PLL)は、アナログ回路で作られている。多くの研究者がADPLLの研究を行っているが、決め手となる回路は未だにない。本可変分周器は、全てデジタル部品で作成するADPLLへの適用の突破口となることが期待される。

【0165】

本発明は上記の実施形態例に限定されるものではなく、特許請求の範囲に記載した本発明の要旨を逸脱しない限りにおいて、他の変形例、応用例を含む。

例えば、上記した実施形態例は本発明をわかりやすく説明するために詳細に説明したものであり、必ずしも説明した全ての構成を備えるものに限定されるものではない。また、

10

20

30

40

50

ある実施形態例の構成の一部を他の実施形態例の構成に置き換えることが可能であり、また、ある実施形態例の構成に他の実施形態例の構成を加えることも可能である。また、各実施形態例の構成の一部について、他の構成の追加・削除・置換をすることが可能である。

【 0 1 6 6 】

また、上記の各構成、機能、処理部、処理手段等は、それらの一部又は全部を、例えば集積回路で設計する等によりハードウェアで実現してもよい。また、上記の各構成、機能等は、プロセッサがそれぞれの機能を実現するプログラムを解釈し、実行するためのソフトウェアで実現してもよい。各機能を実現するプログラム、テーブル、ファイル等の情報は、メモリや、ハードディスク、SSD (Solid State Drive) 等の記録装置、又は、IC (Integrated Circuit) カード、SD (Secure Digital) カード、光ディスク等の記録媒体に保持することができる。

また、制御線や情報線は説明上必要と考えられるものを示しており、製品上必ずしもすべての制御線や情報線を示しているとは限らない。実際には殆ど全ての構成が相互に接続されていると考えてもよい。

【符号の説明】

【 0 1 6 7 】

- 1 0 , 2 0 , 3 0 , 4 0 , 5 0 , 6 0 , 7 0 , 8 0 , 9 0 , 1 0 0 , 1 1 0 , 1 2 0 ,
1 3 0 , 1 4 0 , 1 5 0 , 1 6 0 , 1 7 0 可変分周器
- 1 1 アップカウンタ (リセット時に値が 1)
- 2 1 アップカウンタ (リセット時に値が 0)
- 1 2 比較器 (比較器<1>) (リセット用比較器)
- 1 3 , 8 3 , 1 0 3 比較器 (比較器<2>) (請求項 1 記載の比較器)
- 1 4 D F F (D F F < 1 >) (第 1 の D F F)
- 1 5 D F F (D F F < 2 >) (第 2 の D F F)
- 1 6 , 2 7 , 8 8 , 1 0 7 , 1 2 2 A N D ゲート (組合せ回路 , ゲート回路)
- 1 7 , 2 6 , 8 7 , 1 0 8 O R ゲート (組合せ回路 , ゲート回路)
- 3 1 N 進アップカウンタ (プログラマブルカウンタ)
- 4 1 N 進ダウンカウンタ (プログラマブルカウンタ)
- 5 1 N + 1 進アップカウンタ (プログラマブルカウンタ)
- 6 1 N + 1 進ダウンカウンタ (プログラマブルカウンタ)
- 8 6 , 1 0 6 インプータ (組合せ回路 , ゲート回路)
- 1 2 1 比較器 (比較器<3>) (一致回路)
- 1 3 1 O R ゲート (一致検出用)
- 1 4 1 , 1 4 2 , 1 6 1 , 1 6 2 , 1 6 3 N A N D ゲート (組合せ回路 , ゲート回路)
- 1 5 1 , 1 5 2 , 1 7 1 , 1 7 2 , 1 7 3 N O R ゲート (組合せ回路 , ゲート回路)
- 3 0 1 , 3 2 1 アップカウンタ
- 3 0 2 , 3 1 2 , 3 3 2 比較器
- 3 1 1 , ダウンカウンタ

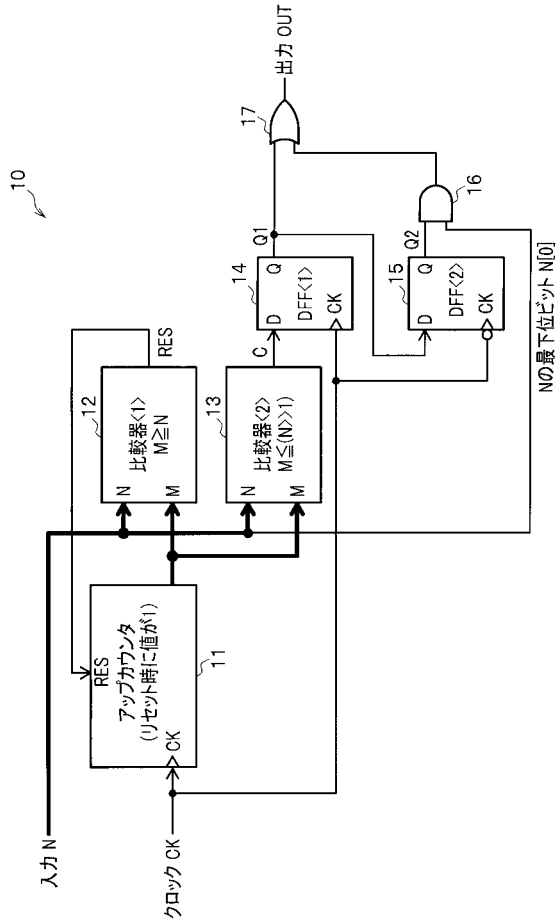
10

20

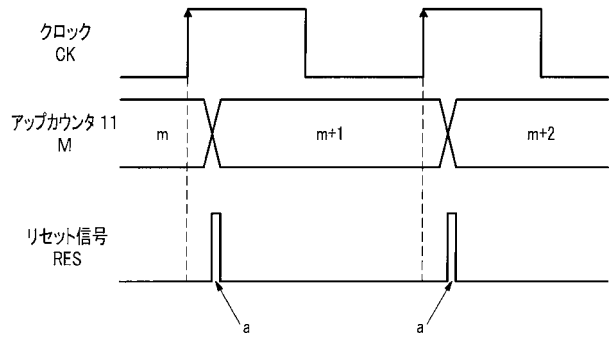
30

40

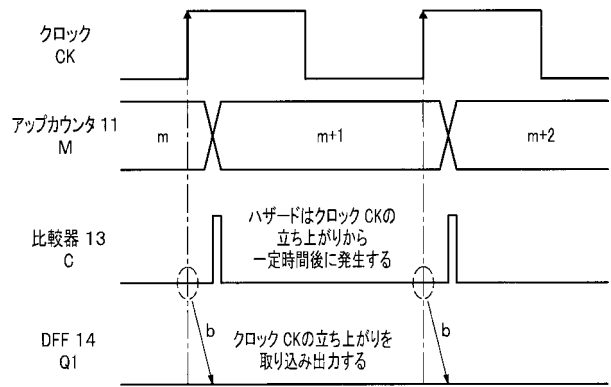
【 図 1 】



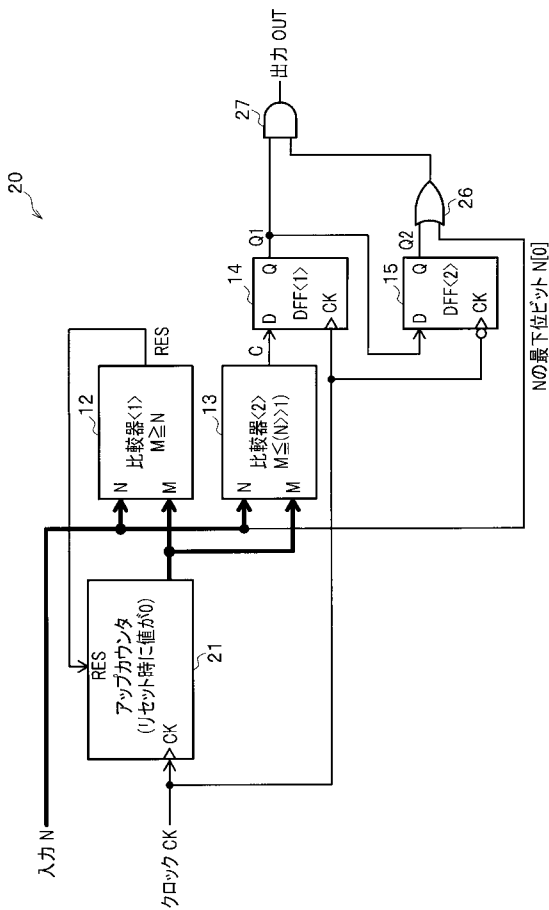
【 図 2 】



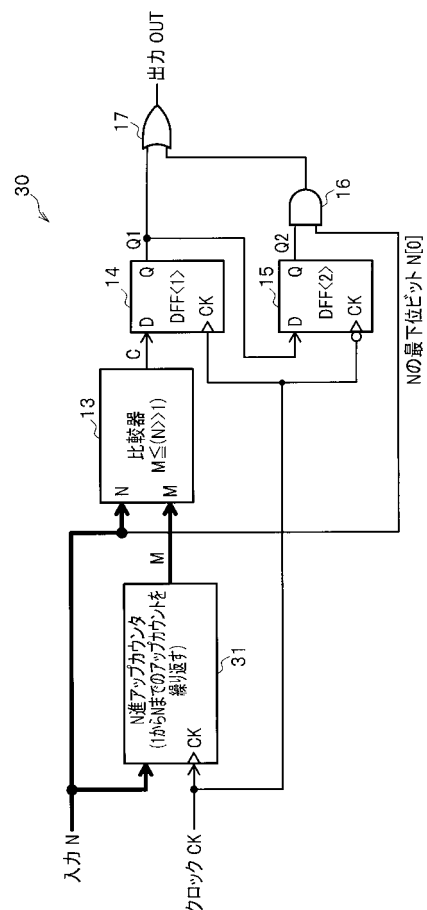
【 図 3 】



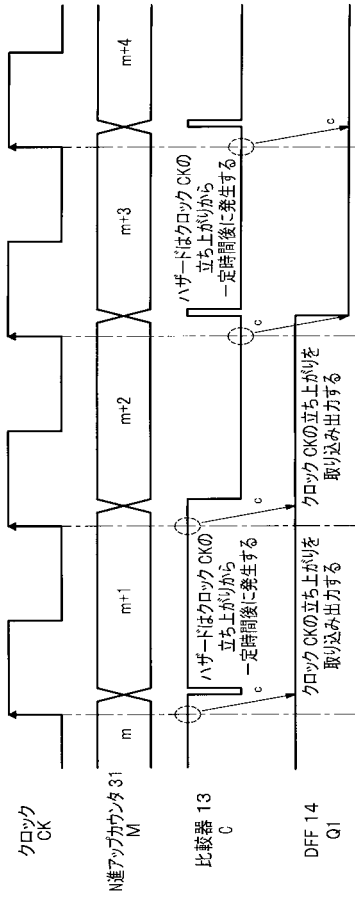
【 図 6 】



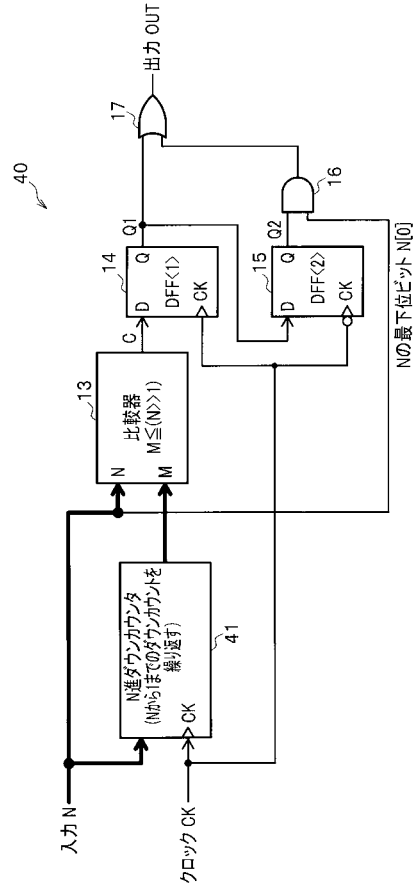
【 図 9 】



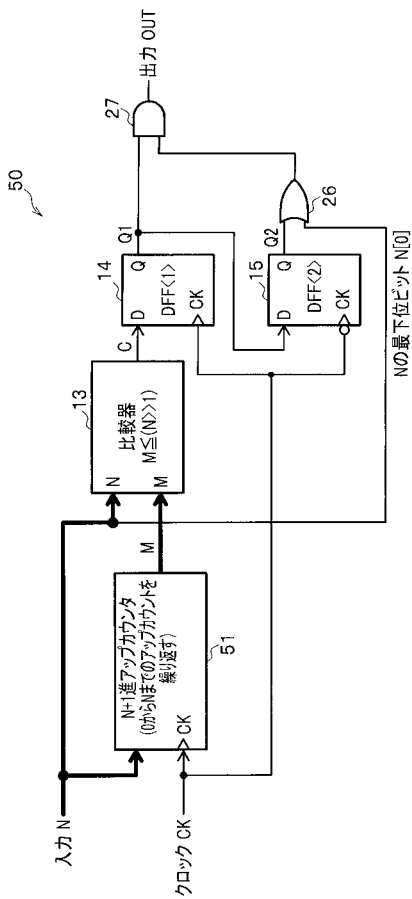
【図10】



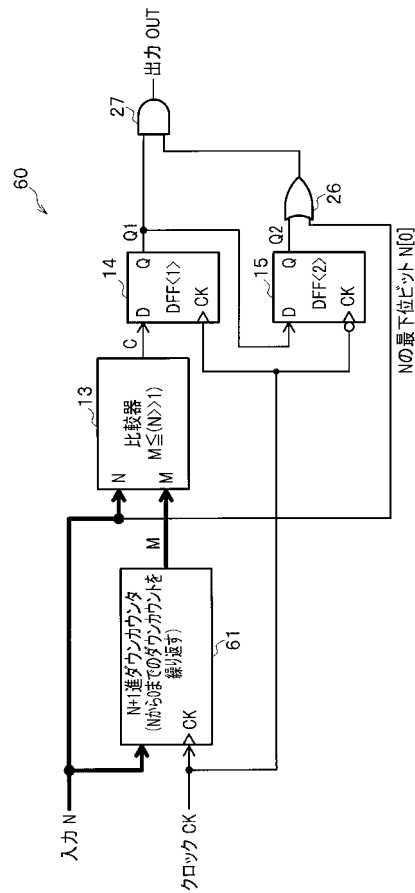
【図13】



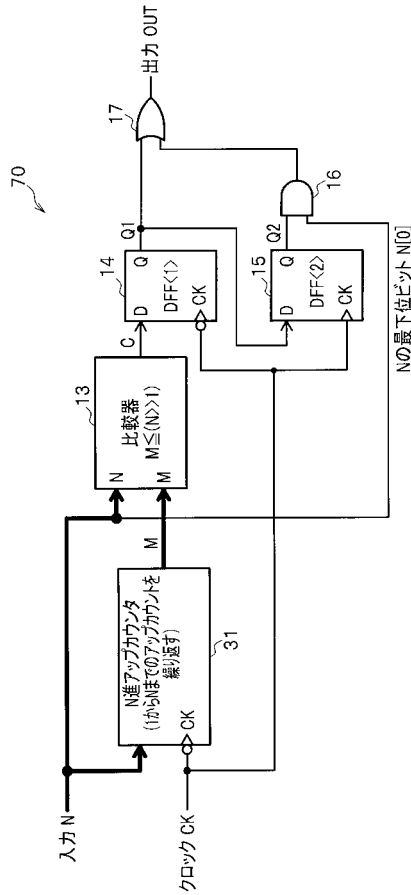
【図16】



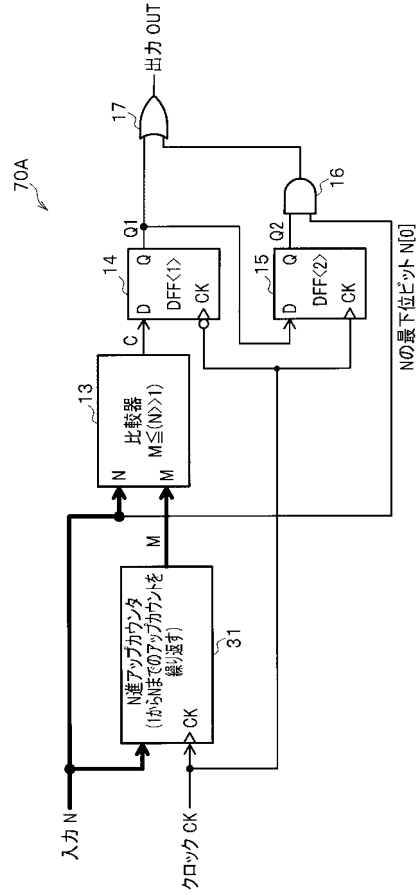
【図19】



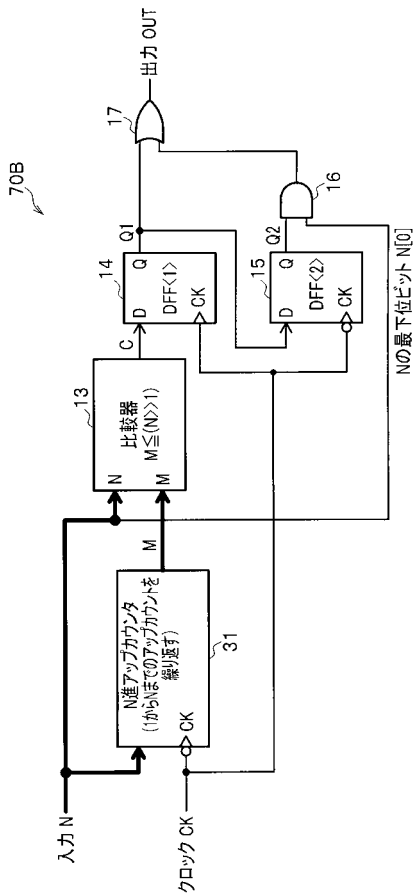
【図 2 2】



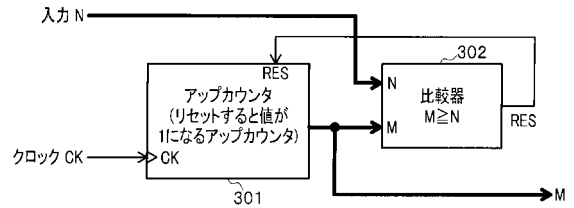
【図 2 5】



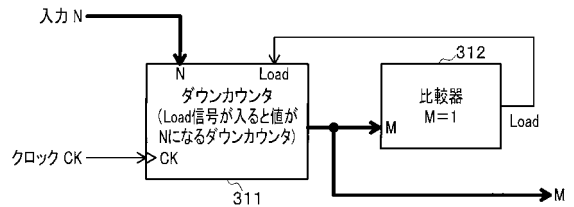
【図 2 8】



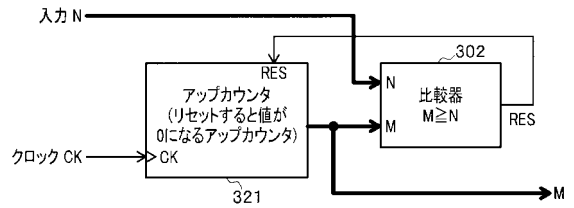
【図 3 1】



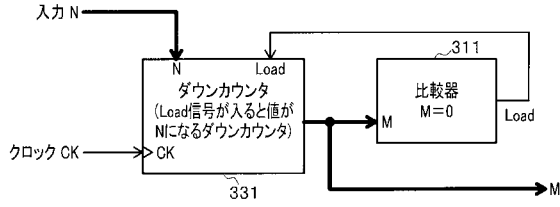
【図 3 2】



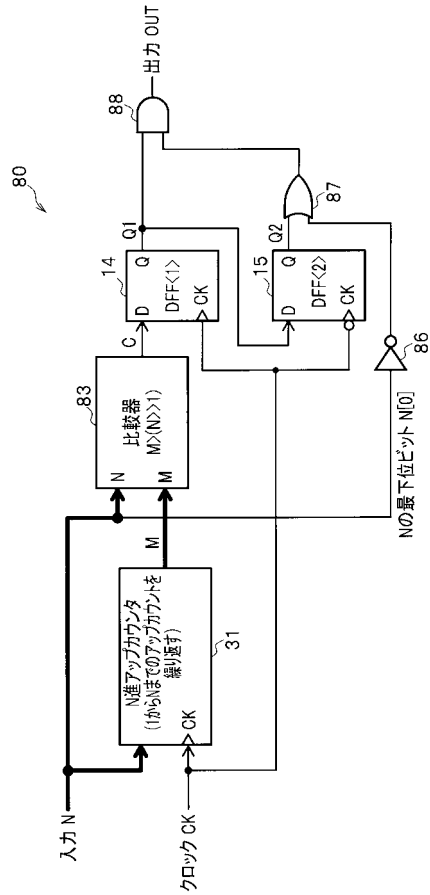
【図 3 3】



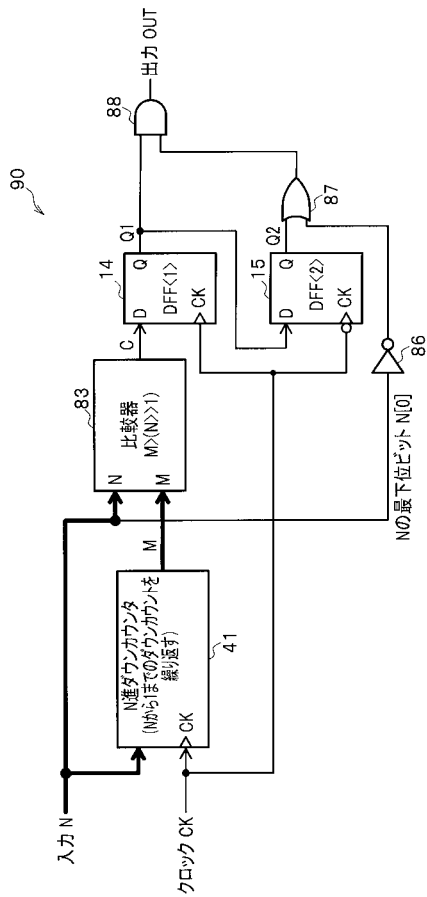
【図34】



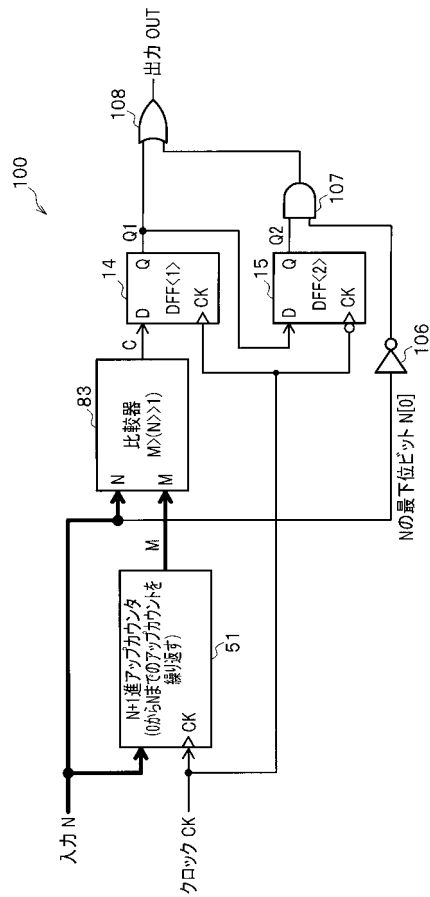
【図35】



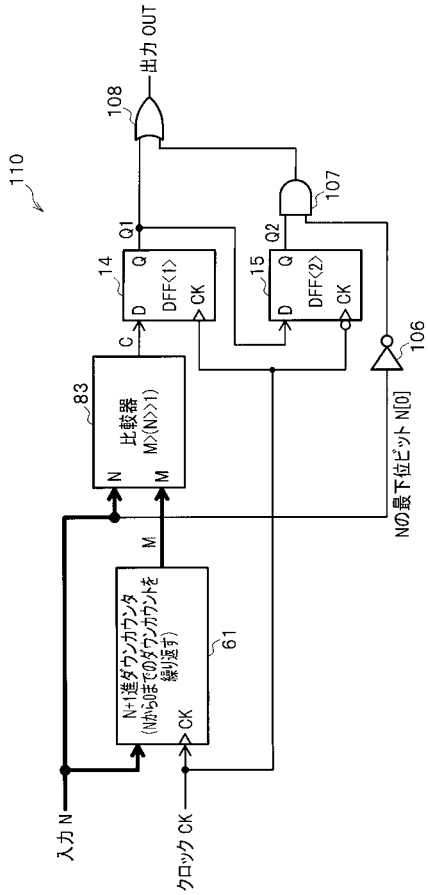
【図36】



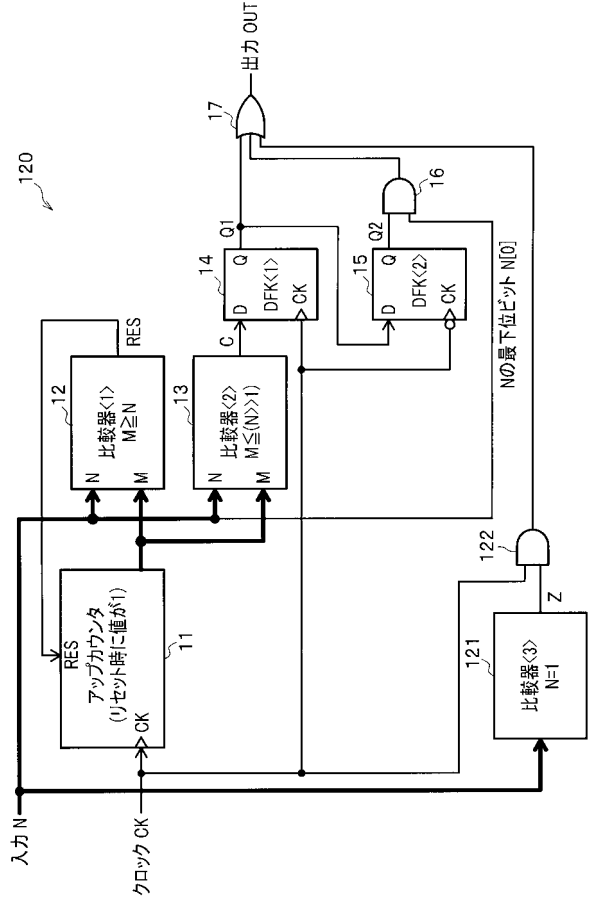
【図37】



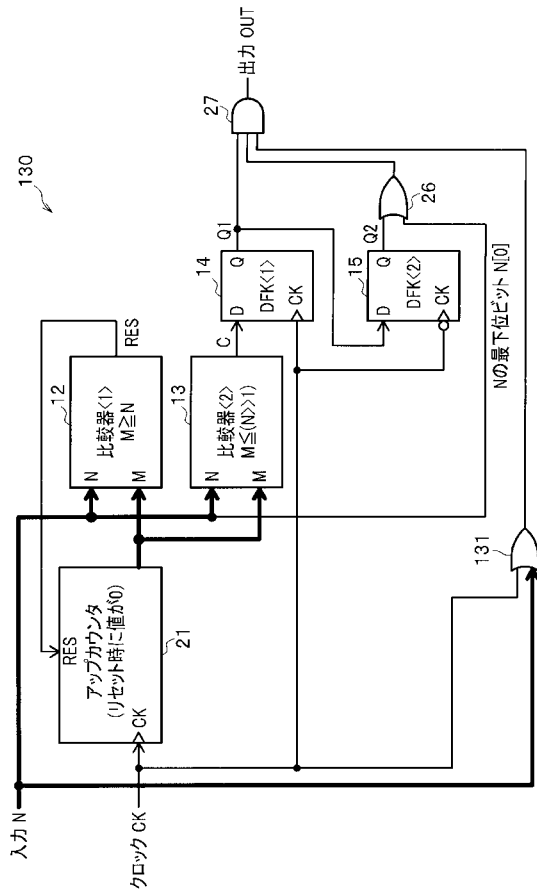
【図 3 8】



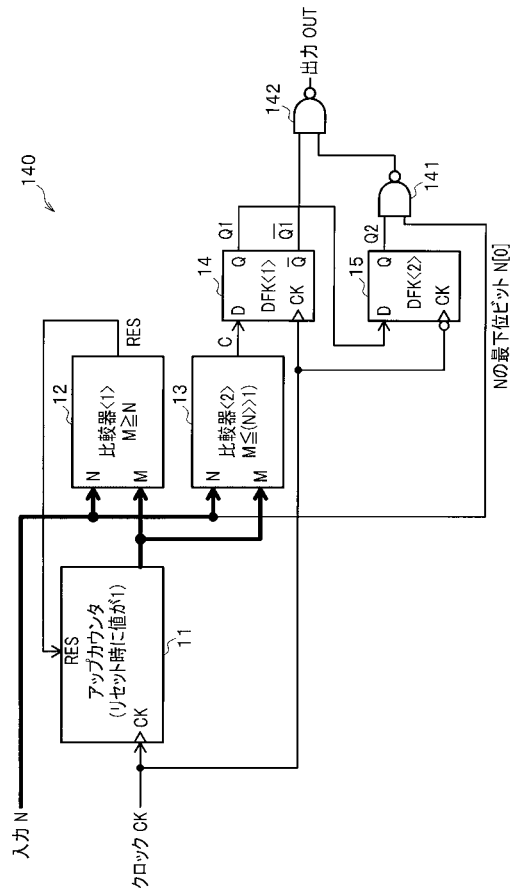
【図 3 9】



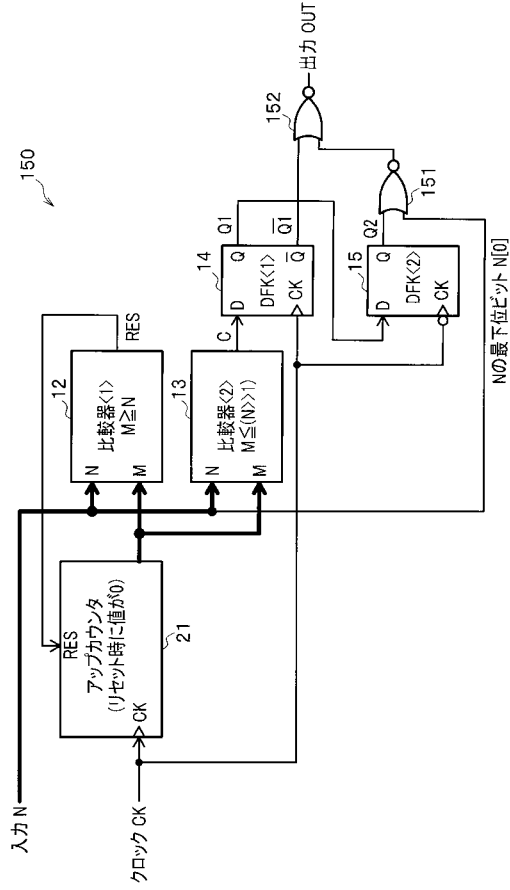
【図 4 1】



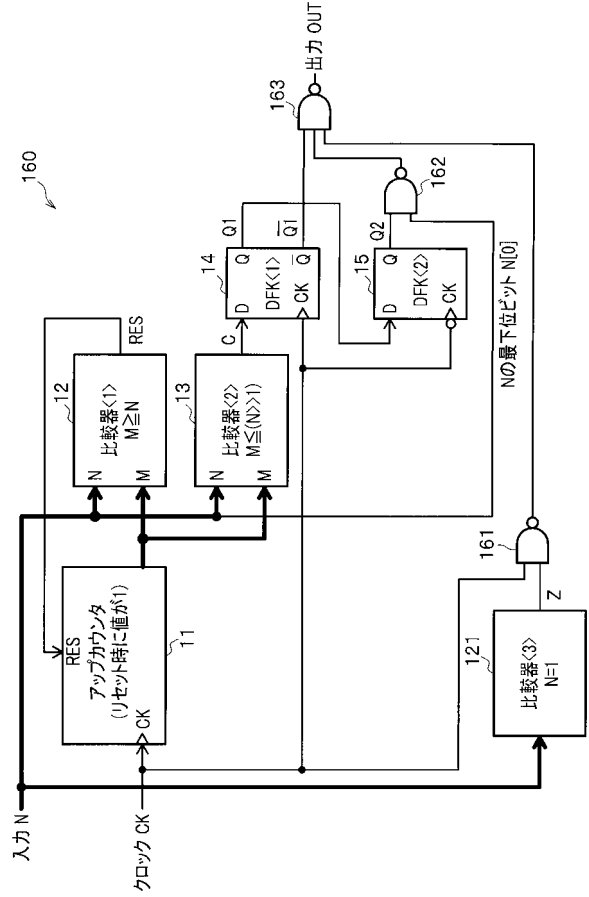
【図 4 3】



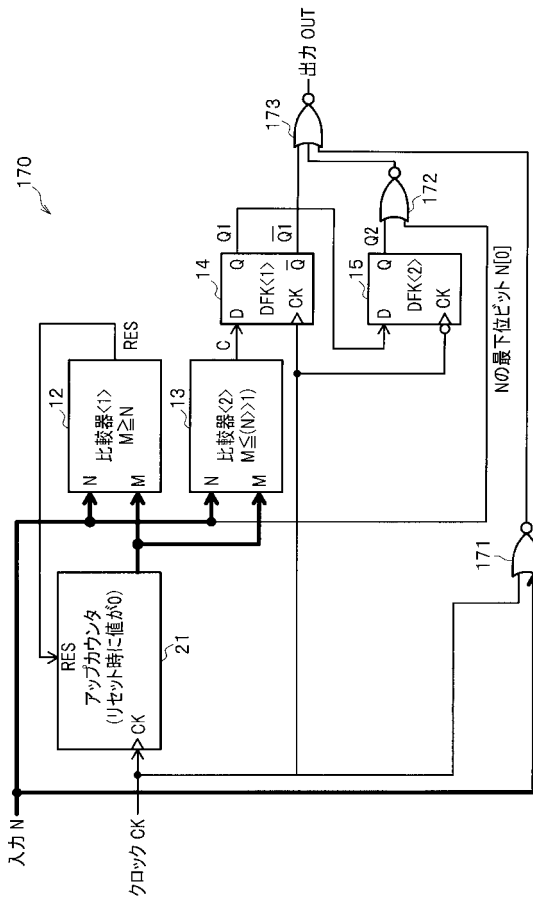
【図 4 4】



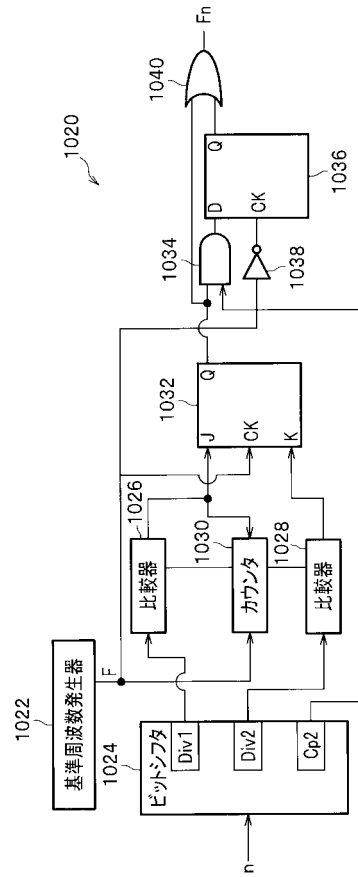
【図 4 5】



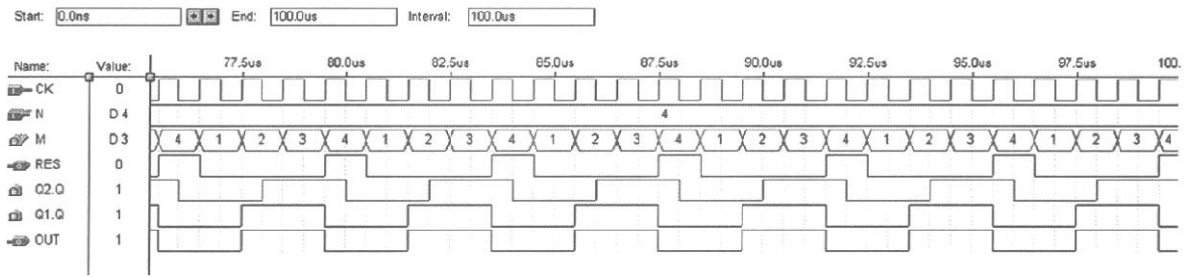
【図 4 6】



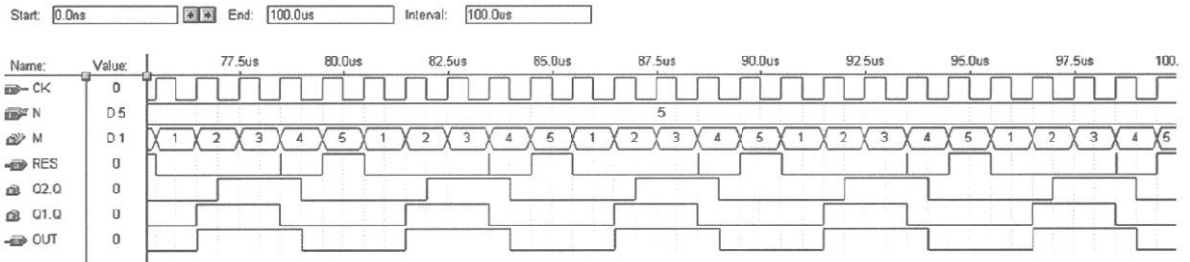
【図 5 1】



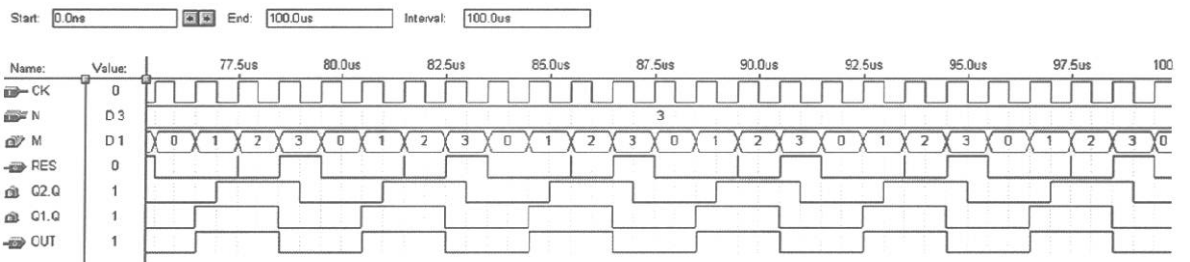
【 図 4 】



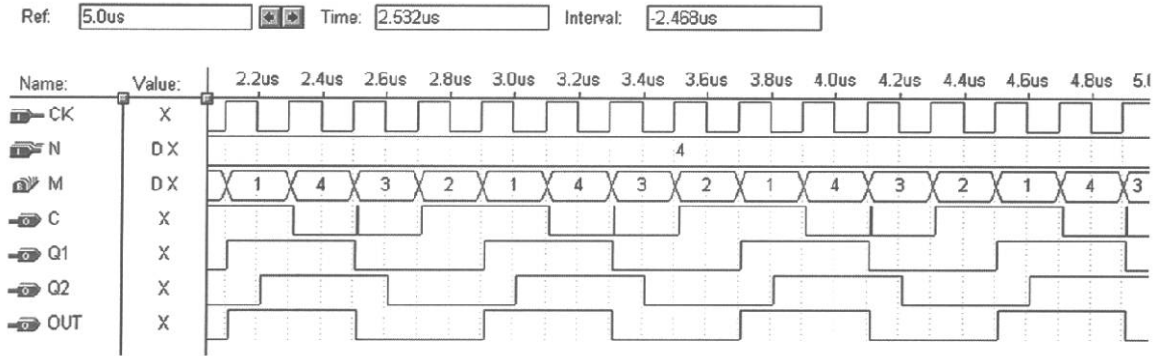
【 図 5 】



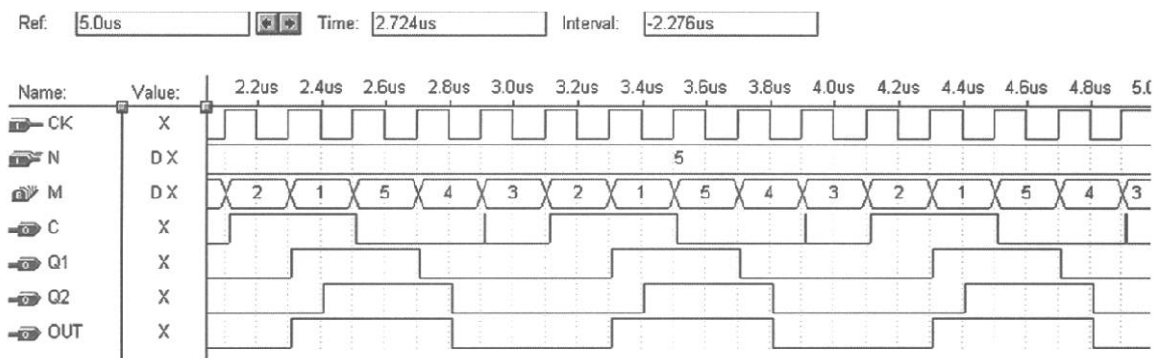
【 図 7 】



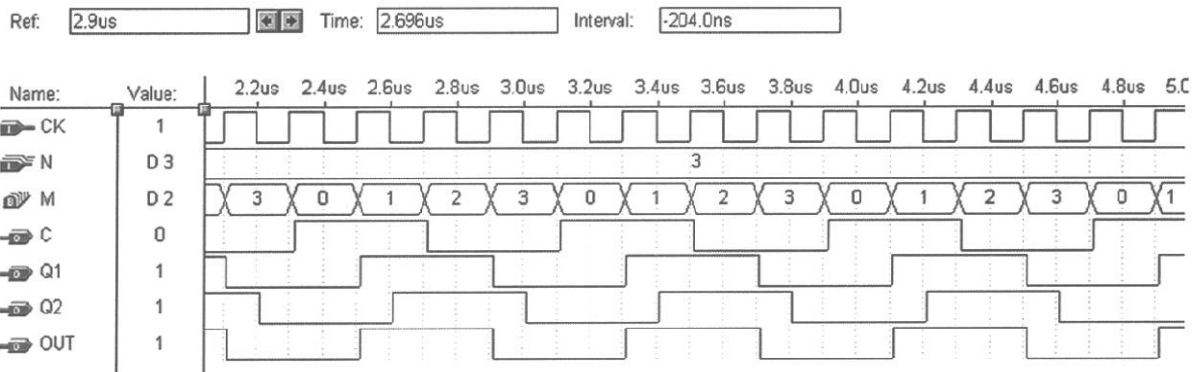
【 図 1 4 】



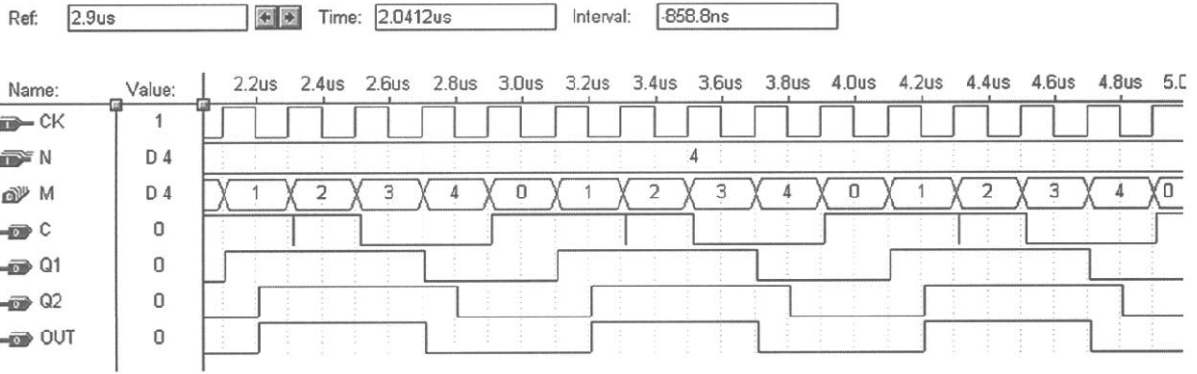
【 図 1 5 】



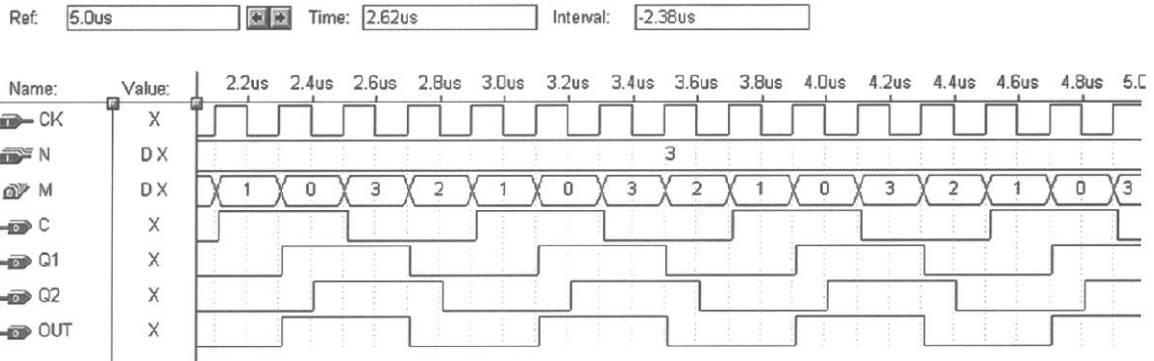
【 図 1 7 】



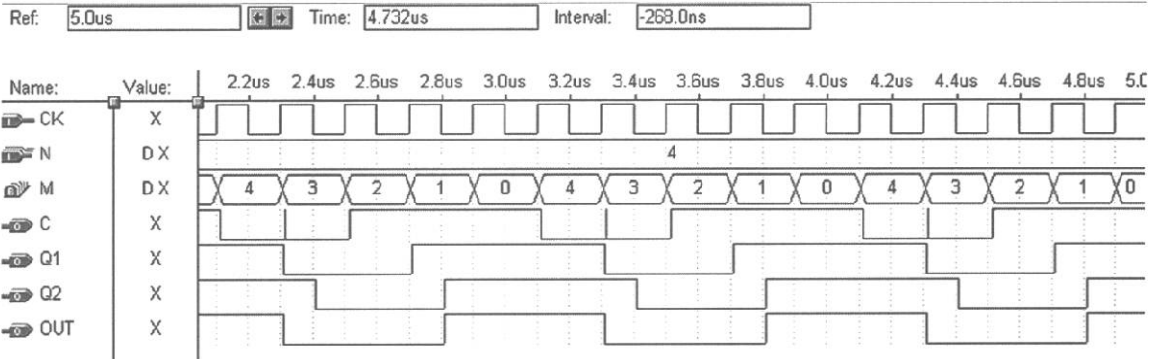
【 図 1 8 】



【 図 2 0 】

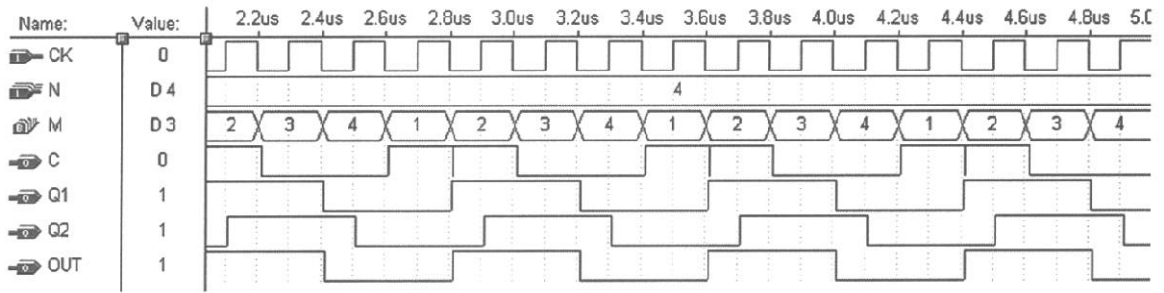


【 図 2 1 】



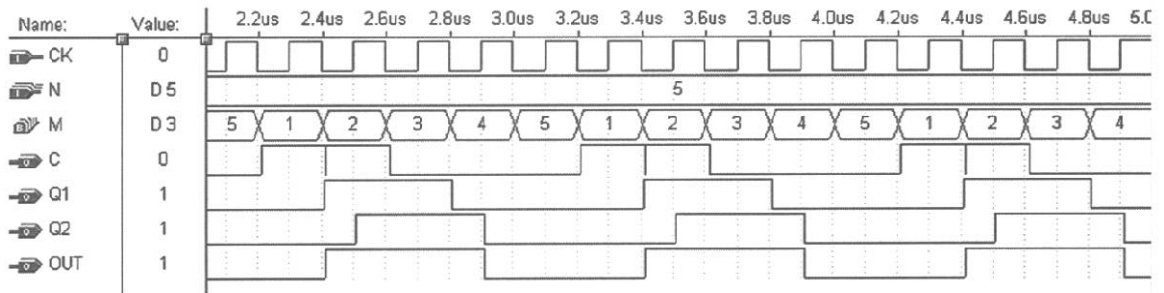
【 2 3 】

Ref: 800.0ns Time: 2.652us Interval: 1.852us



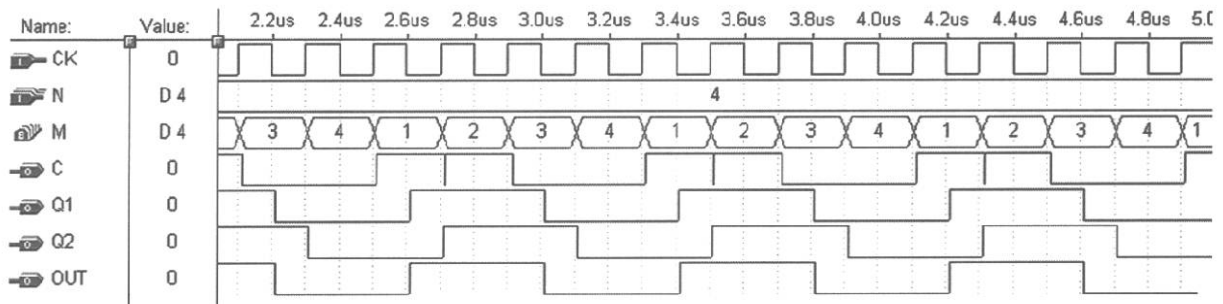
【 2 4 】

Ref: 800.0ns Time: 2.68us Interval: 1.88us



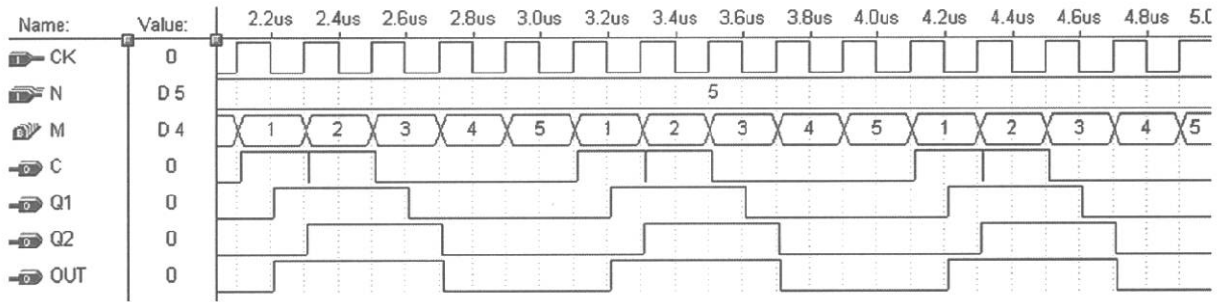
【 2 6 】

Ref: 800.0ns Time: 3.932us Interval: 3.132us



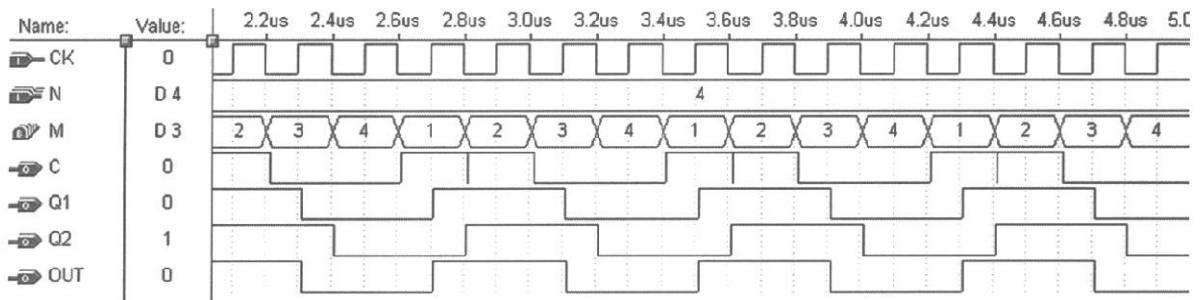
【 2 7 】

Ref: 800.0ns Time: 4.964us Interval: 4.104us



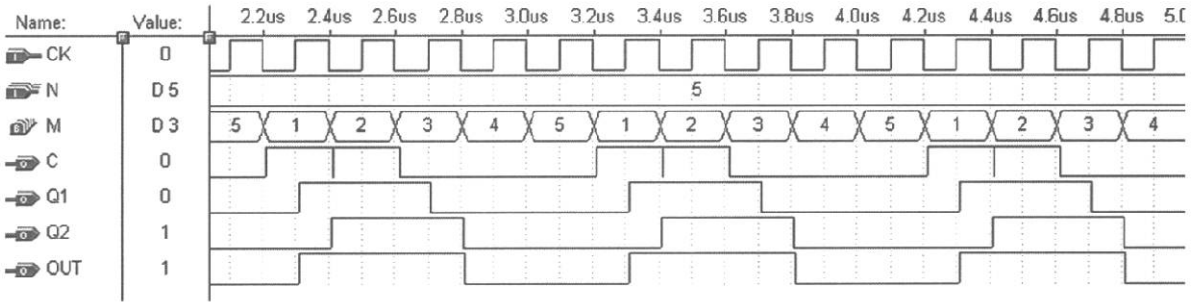
【 2 9 】

Ref: 800.0ns Time: 4.416us Interval: 3.616us

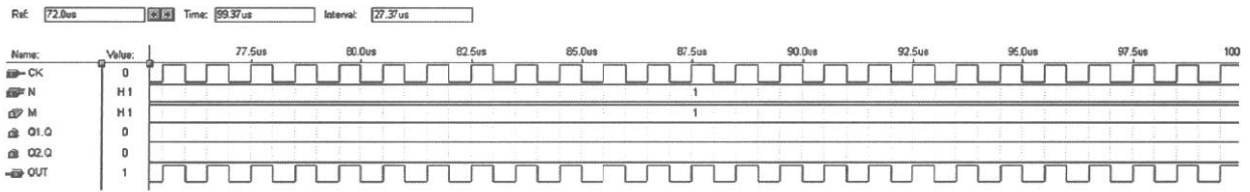


【 3 0 】

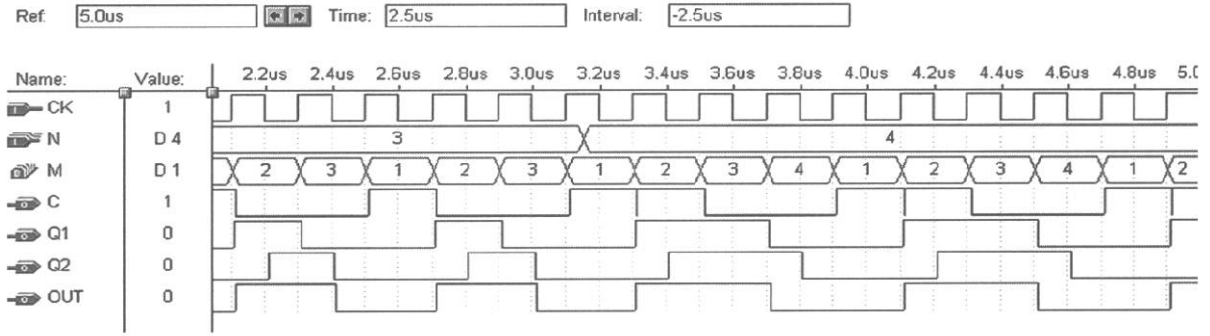
Ref: 800.0ns Time: 2.0373us Interval: 1.2373us



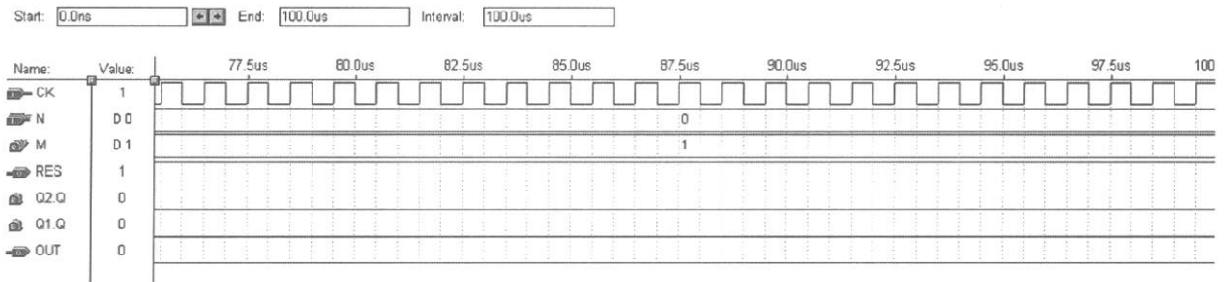
【 図 4 0 】



【 図 4 8 】



【 図 4 9 】



【 5 0 】

Start: 0.0ns End: 100.0us Interval: 100.0us

